Université de Rennes

Direction de la Recherche et de l'Innovation

Appel à projets - Année 2025

Contrats doctoraux «Ordinaires»

ECOLE DOCTORALE : Matisse **POLE DE RECHERCHE : Mathématique-Numérique**

Unité de recherche d'accueil

Unité de Recherche : IRISA

Equipe : Taran

Encadrement

Directeur de thèse : Isabelle Puaut **Unité de recherche** : IRISA

Employeur/Établissement d'origine : Université de Rennes

HDR : • oui • ~~non~~ **Nb de thèses en cours** : 4

Mail : isabelle.puaut@irisa.fr **Tél**. :

Co-directeur de thèse : Steven Derrien **Unité de recherche** : LabSTIC

Employeur/Établissement d'origine : UBO

HDR : • oui • ~~non~~ **Nb de thèses en cours** : 3

Mail : steven.derrien@univ-brest.fr **Tél.** :

Sujet

Titre : Langage de description de micro-architectures pour la synthèse automatique de processeurs

Mots clés : HLS, WCET, architecture

Cotutelle internationale (~~oui~~/non) : **Si oui, préciser l'établissement et le pays de rattachement** :

Descriptif (15-30 lignes) :

Dans les systèmes temps réels critiques, la garantie que chaque tâche soit exécutée avant une contrainte de temps (typiquement deadline) est primordiale. Pour cela, il est nécessaire de déterminer le Worst-Case Execution Time (WCET), qui correspond au temps d'exécution maximal d'une tâche dans les pires conditions. Les méthodes d'estimation de WCET opérant par analyse statique permettent de calculer une borne supérieure de tout temps d'exécution possible (propriété de sûreté). Ces méthodes sont basées l'utilisation d'un modèle temporel précis de la micro-architecture ciblée. L'estimation exacte de ce temps est essentielle pour assurer la sécurité et la fiabilité des systèmes embarqués, tels que ceux utilisés dans l'automobile ou l'Internet des objets (IoT). De plus, des éléments subtils de la micro-architecture peuvent mener à des anomalies temporelles, qui ne sont pas gérées dans les outils actuels.

Aujourd'hui, la plupart des plates-formes IoT et automobiles reposent sur des microcontrôleurs (MCU) à faible consommation d'énergie, dont les micro-architectures et jeux d'instructions sont hautement personnalisés en fonction de besoins applicatifs spécifiques. La conception de ces processeurs, souvent effectuée à l'aide de langages de description matérielle (HDL), reste laborieux et très coûteux en temps. Le recours à une abstraction plus élevée, comme la synthèse de haut niveau (HLS – High Level Synthesis), pourrait considérablement simplifier ce processus.

Cependant, les outils de HLS actuels présentent des limitations importantes liées à l'ordonnancement statique des opérations : ils ne parviennent pas à tirer parti de la spéculation, un principe clé des micro-architectures modernes. Grâce aux travaux récents, notamment le flot SpecHLS développé par l'IRISA, il est désormais envisageable de lever ces verrous en automatisant la génération de pipelines de

processeurs simples, tout en obtenant des résultats comparables (en termes de performance et de coûts) à des conceptions manuelles.

L'objectif de la thèse est de fournir les éléments permettant l'utilisation d'un MCU spécialisé tout en garantissant des propriétés de prédictibilité (nécessaires pour l'utilisation dans un système embarqué temps-réel) et de sécurité. Le candidat explorera différentes représentations et langages pour modéliser l'architecture et la micro-architecture du MCU dans le bon niveau d'abstraction. Ces langages et les représentations internes de compilateur associées doivent permettre de synthétiser facilement du matériel spécialisé et de garantir les propriétés de sécurité et de prédictabilité souhaitées.