

Agenda

Introduction et contexte

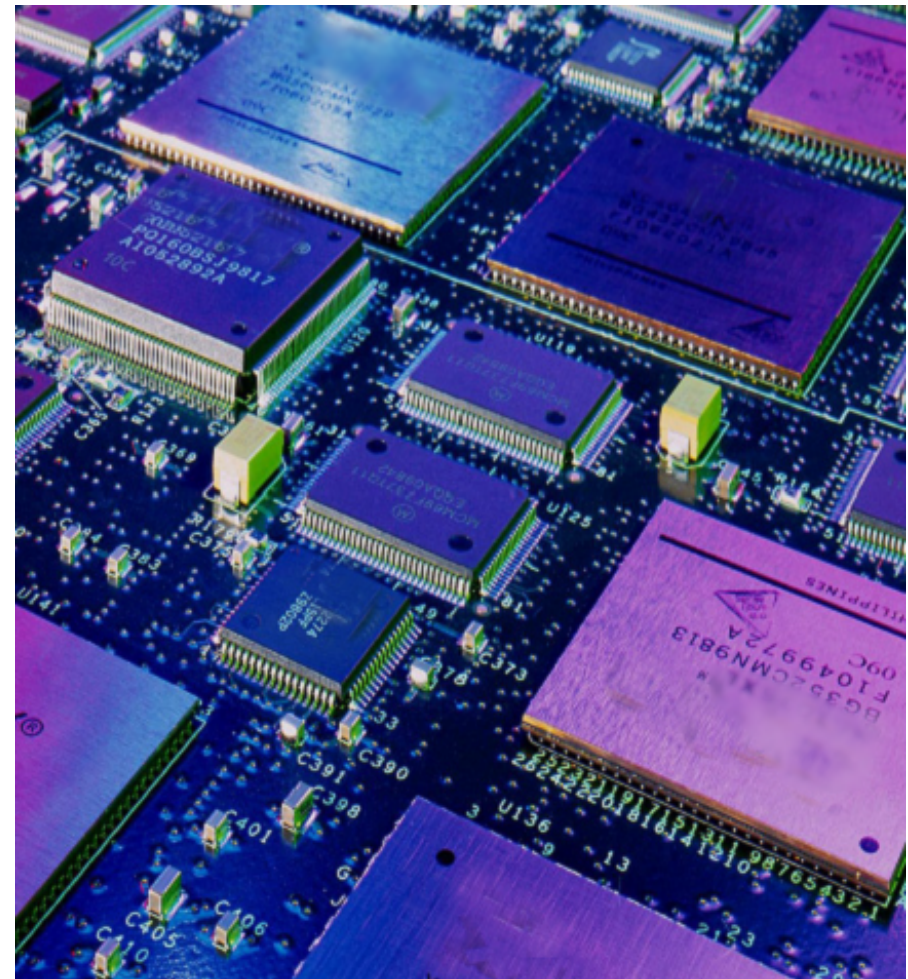
Domaines de recherche et contributions

Architectures et outils

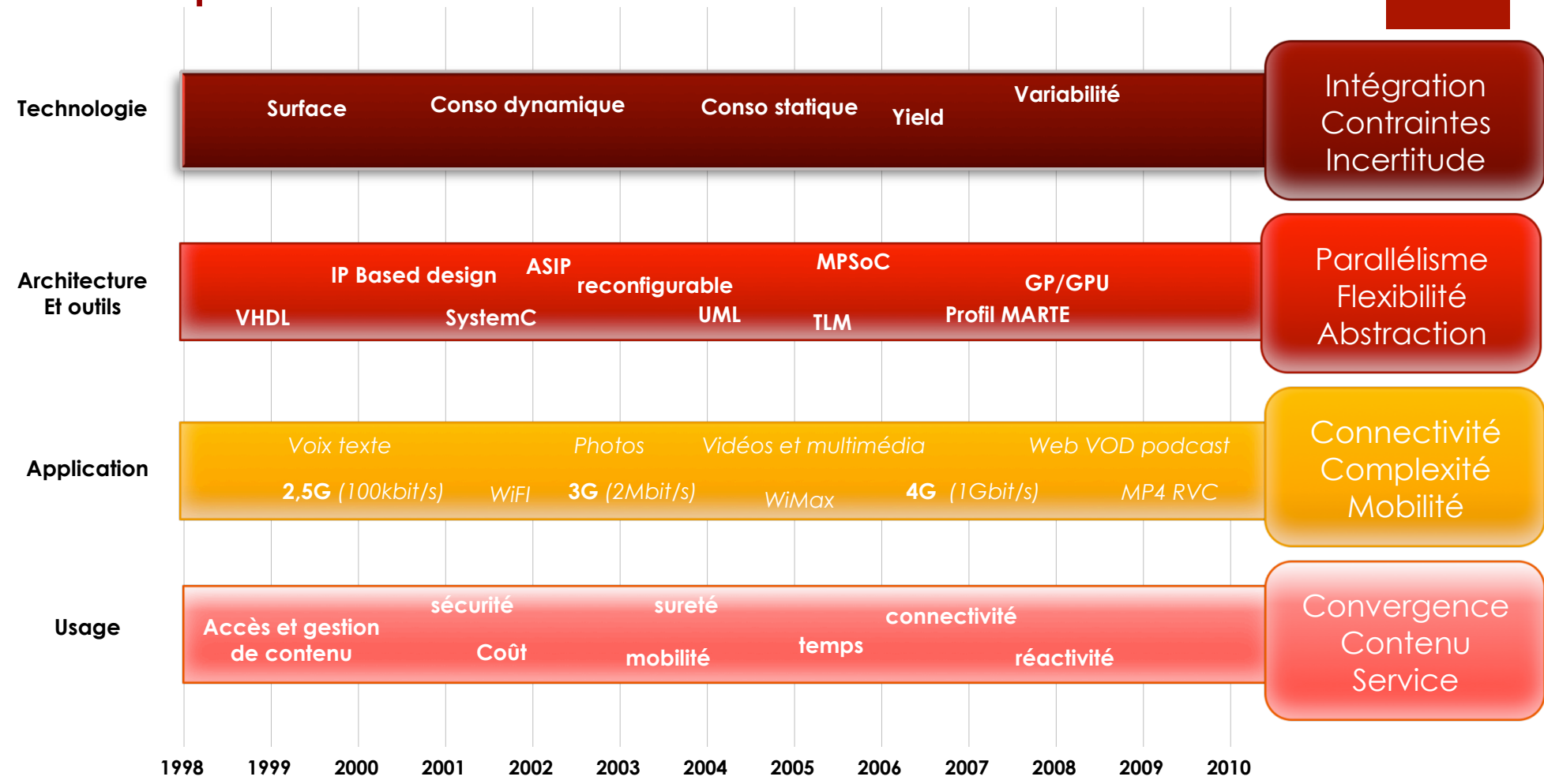
Gestion dynamique

Tolérance aux fautes

Le futur



Le passé ...



Intégration
Contraintes
Incertitude

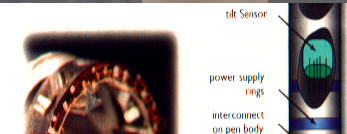
Parallélisme
Flexibilité
Abstraction

Connectivité
Complexité
Mobilité

Convergence
Contenu
Service

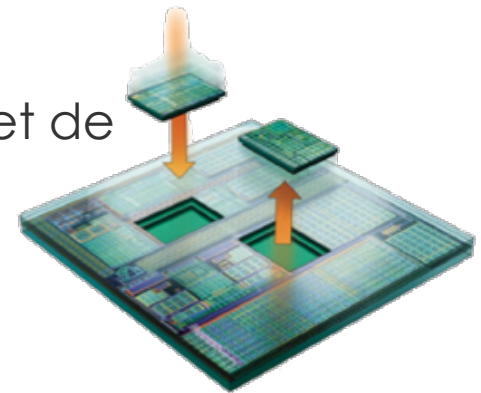
Le présent ...

- Mon environnement personnel accessible partout . .
 - mon agenda, ma messagerie,
 - mes comptes,
 - mes infos, ...
- ... depuis tout dis
 - Pc portable,



Domaine de recherche

- Quelle solution avec des objets :
 - très hétérogènes
 - avec des processeurs et des systèmes limités
 - traitements flots de données
 - très mobiles
 - devant supporter un grand nombre d'applications et de normes
 - avec des coûts raisonnables
 - nécessitant de bonnes performances



Systeme sur puce reconfigurable dynamiquement

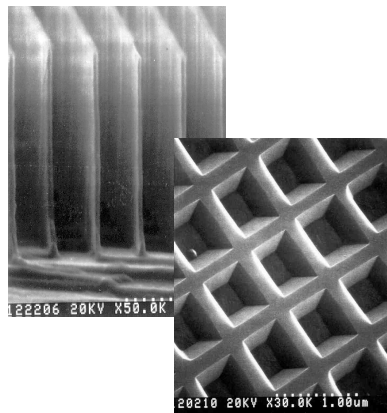
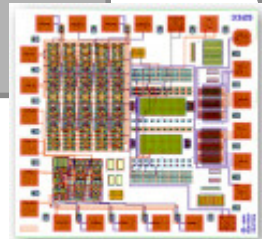
Les promesses de la reconfiguration dynamique

Optimise :

- Performance
- Utilisation des ressources
- Fiabilité

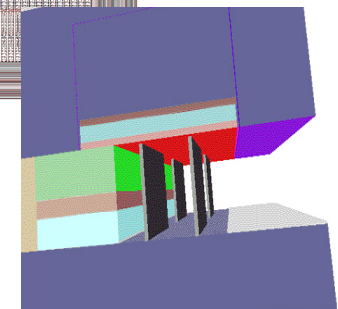
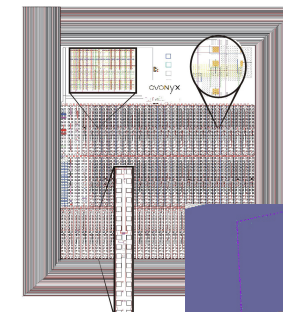
Réduit :

- Temps de déploiement
- Consommation
- Coût



Adaptation :

- A l'environnement
- Au besoin
- A l'évolution



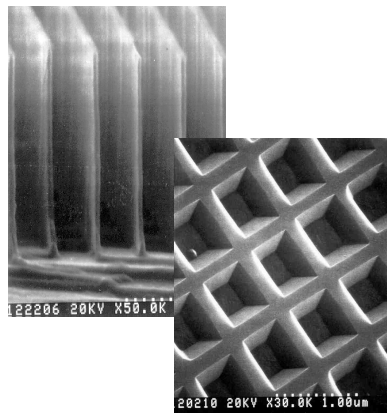
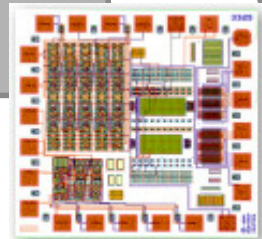
Les challenges de la reconfiguration dynamique

Architecturaux :

- Exploration des solutions
- Implémentation
- Coût de la reconfiguration

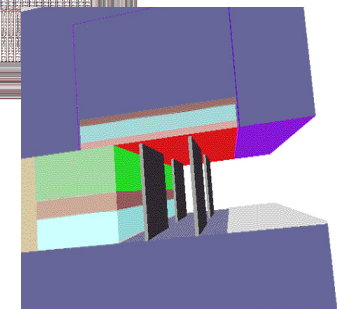
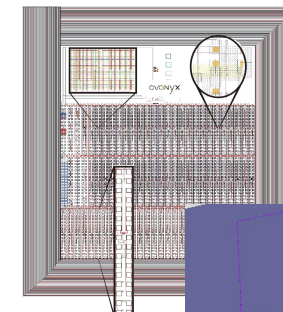
Contraintes :

- Flexibilité
- Dynamicité
- Performances



Outils :

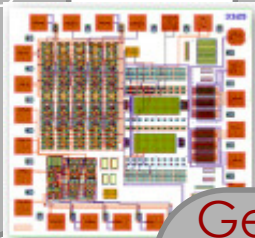
- Estimation de performance
- Compilation/Synthèse, P&R
- Gestion efficace



Axes de recherche

Architectures et outils

- Reconfiguration dynamique
 - Efficacité énergétique
 - Performance
 - Outils
 - implémentation efficace de la RD
- Méthodologies
 - Langage de description ADL
- Conception Full-custom



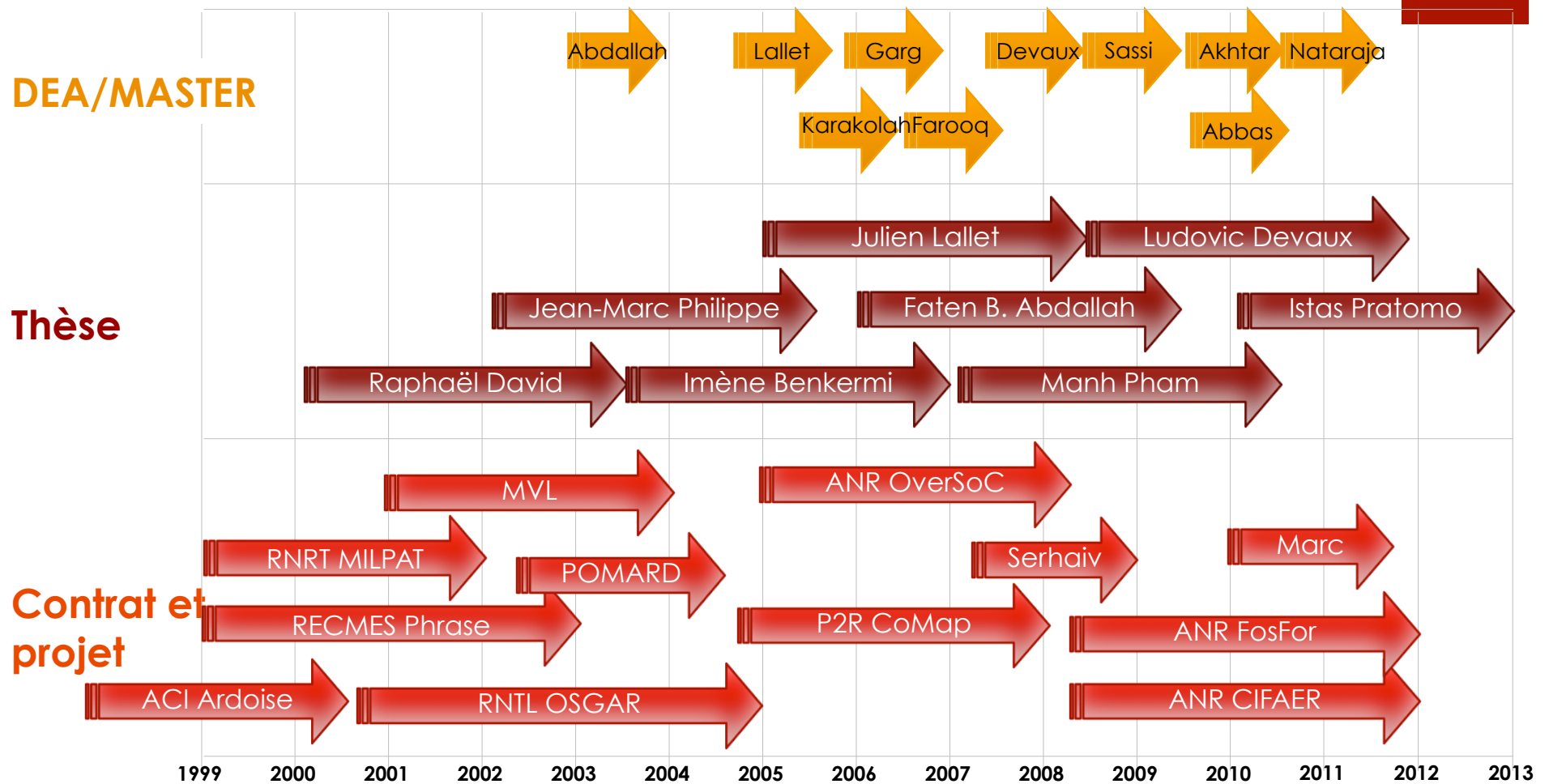
Interconnexions flexible

- Couches Phy et MAC
 - Technologie, codage
- Couches réseau et transport
 - Adaptation à la technologie
 - Dynamicité du réseau

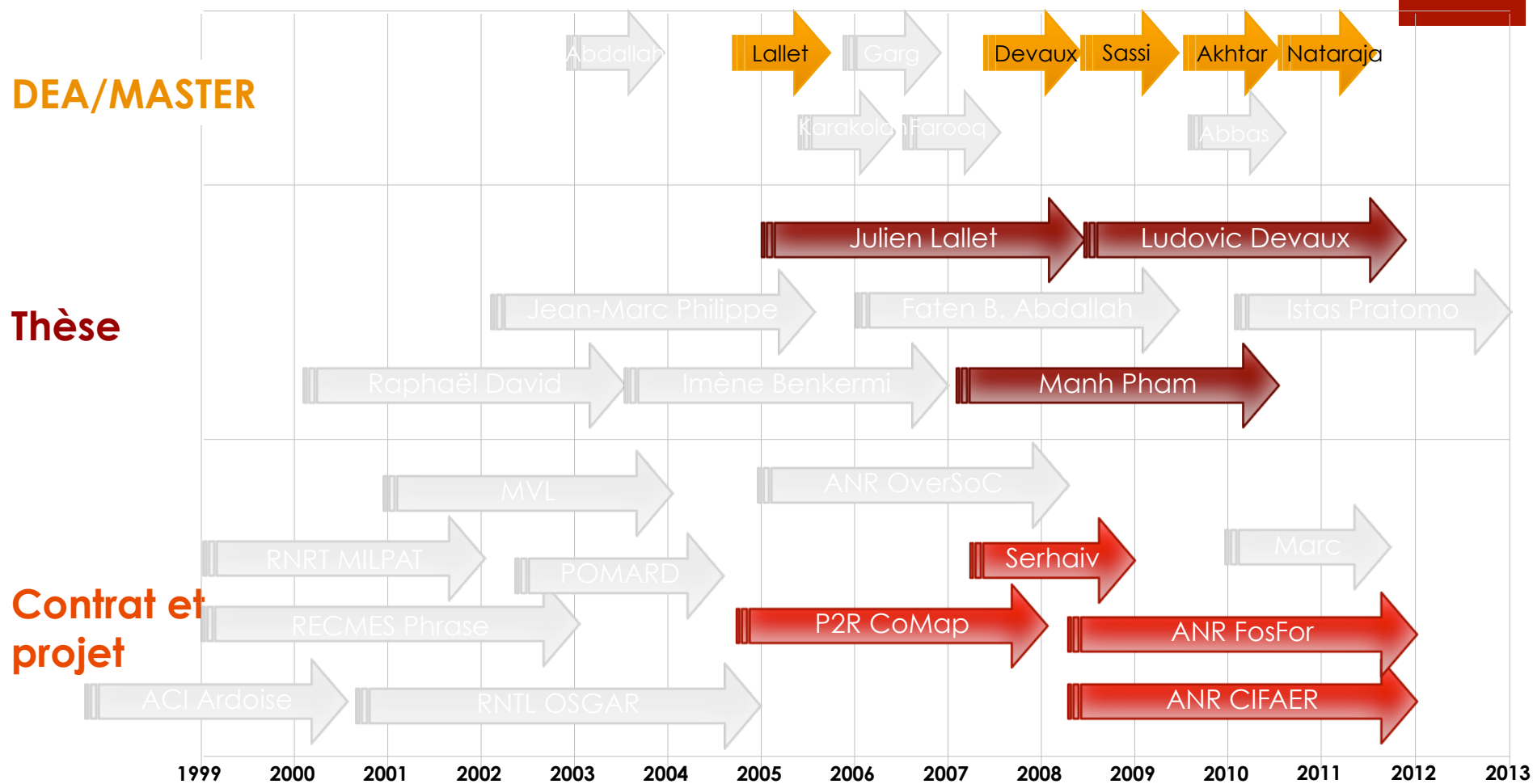
Gestion dynamique

- Services d'OS dédiés
 - Ordonnancement/Placement
 - Communications
- Modélisation
 - UML, AADL
- Tolérances aux fautes

Activités de recherche et d'encadrement



Activités de recherche et d'encadrement



Agenda

Introduction et contexte

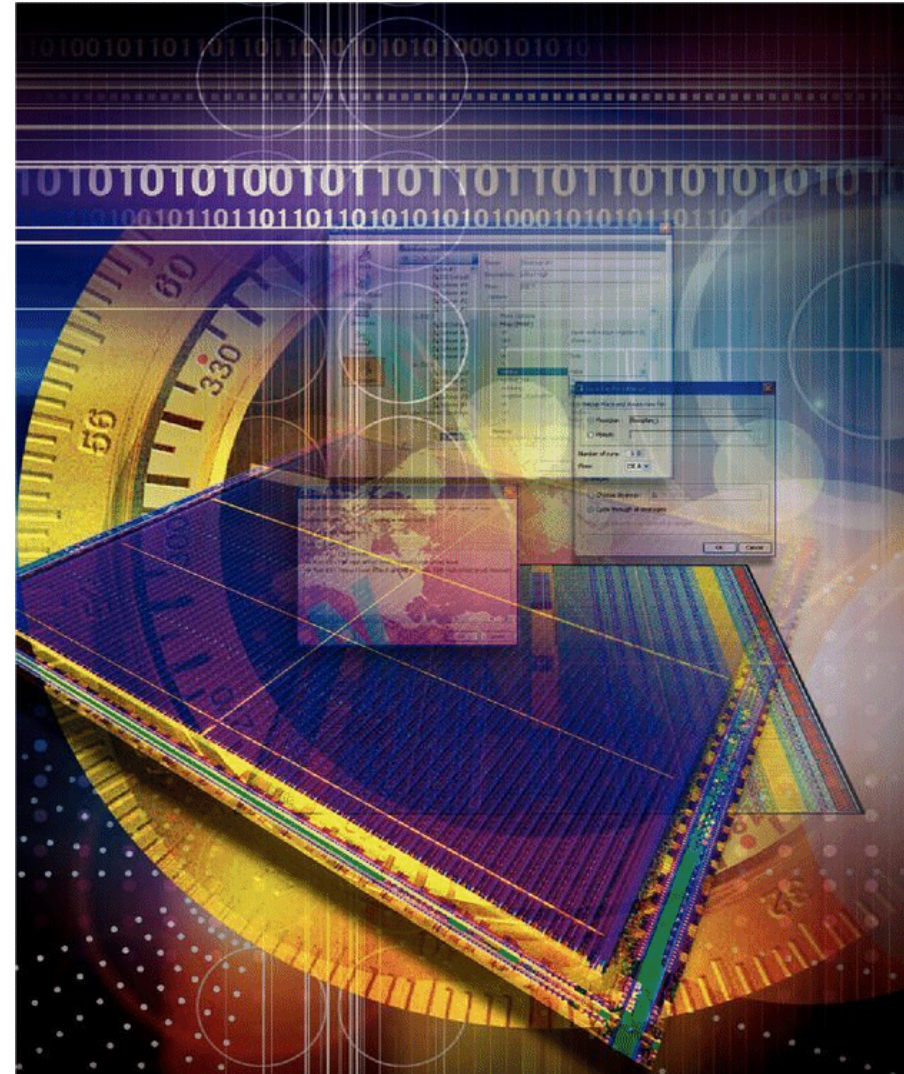
Domaines de recherche et contributions

Architectures et outils

Communications flexibles

Tolérance aux fautes

Le futur

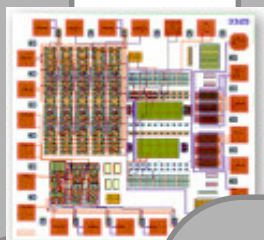


Source: Xcell Journal

Encadrements et projets

Encadrements

- 3 doctorants :
 - Raphael David [2003],
 - Julien Lallet [2008],
 - Faten Ben Abdallah [2009]
- 5 DEA/masters
 - Ben Abdallah, Lallet, Didioui, Garg, Akhtar



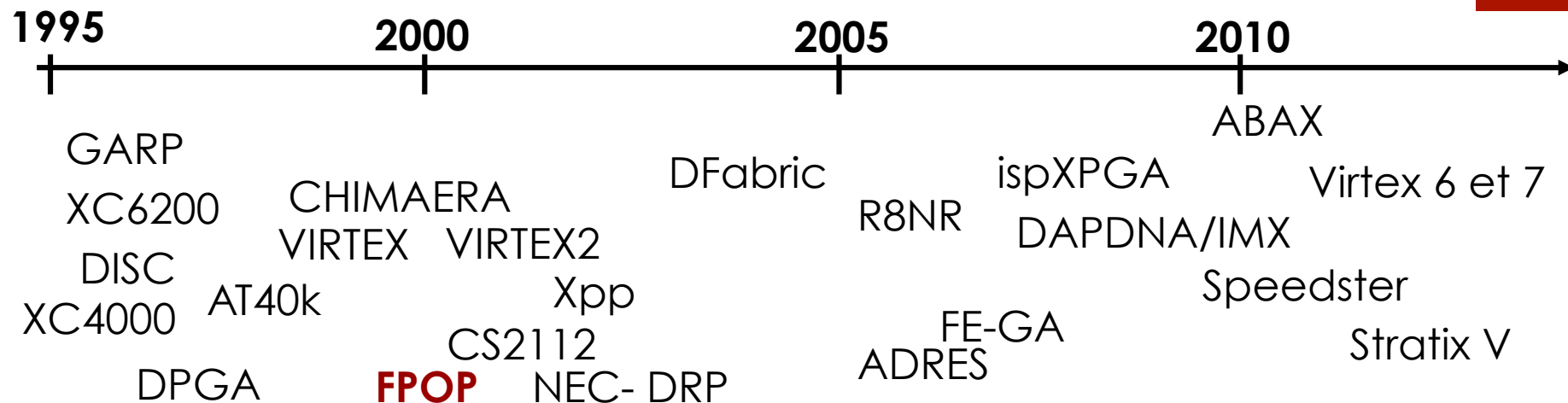
Contrats

- Nationaux
 - Ardoise
 - OSGAR (CEA, TNI-valiosys, UBO)
- Internationaux
 - Phrase (UBO, STMicro)
 - COMAP (Erlangen, Dresde, UBO, ENSTB)

Publications

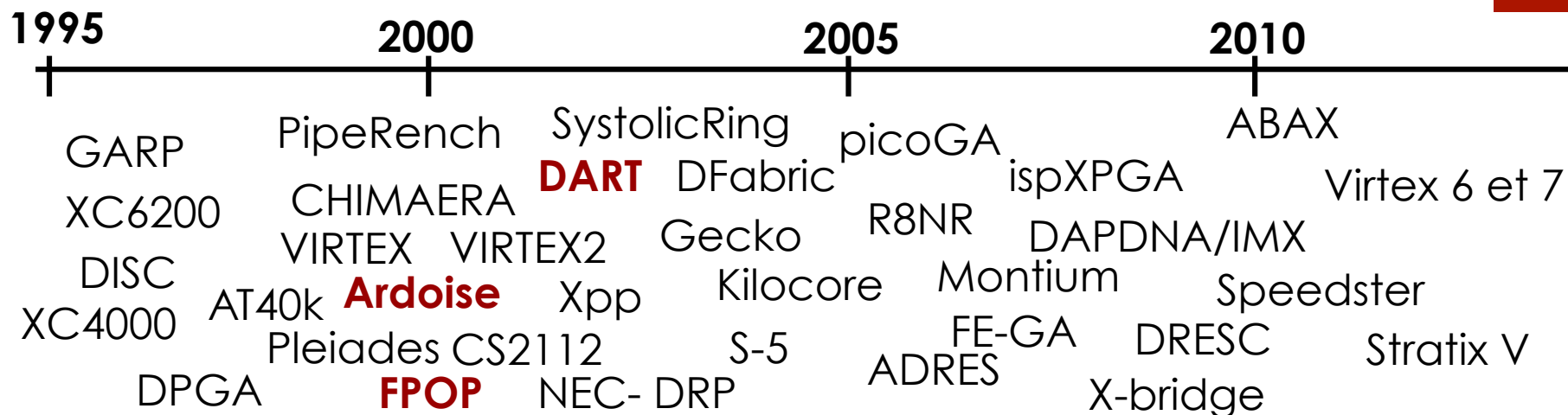
- 2 articles de revues internationales
- 2 articles de revues nationales
- 2 chapitres de livre
- 14 conférences internationales
- 7 conférences nationales

Positionnement des travaux



- Reconfiguration
 - Statique
 - Dynamique
 - « Pipeline »
 - Multi-contexte
 - Asynchrone
- Granularité
 - Grain fin
 - Gros grain
 - Mixte
 - Exotique

Positionnement des travaux



■ Topologie

- Bus
- Réseau
- Pipeline

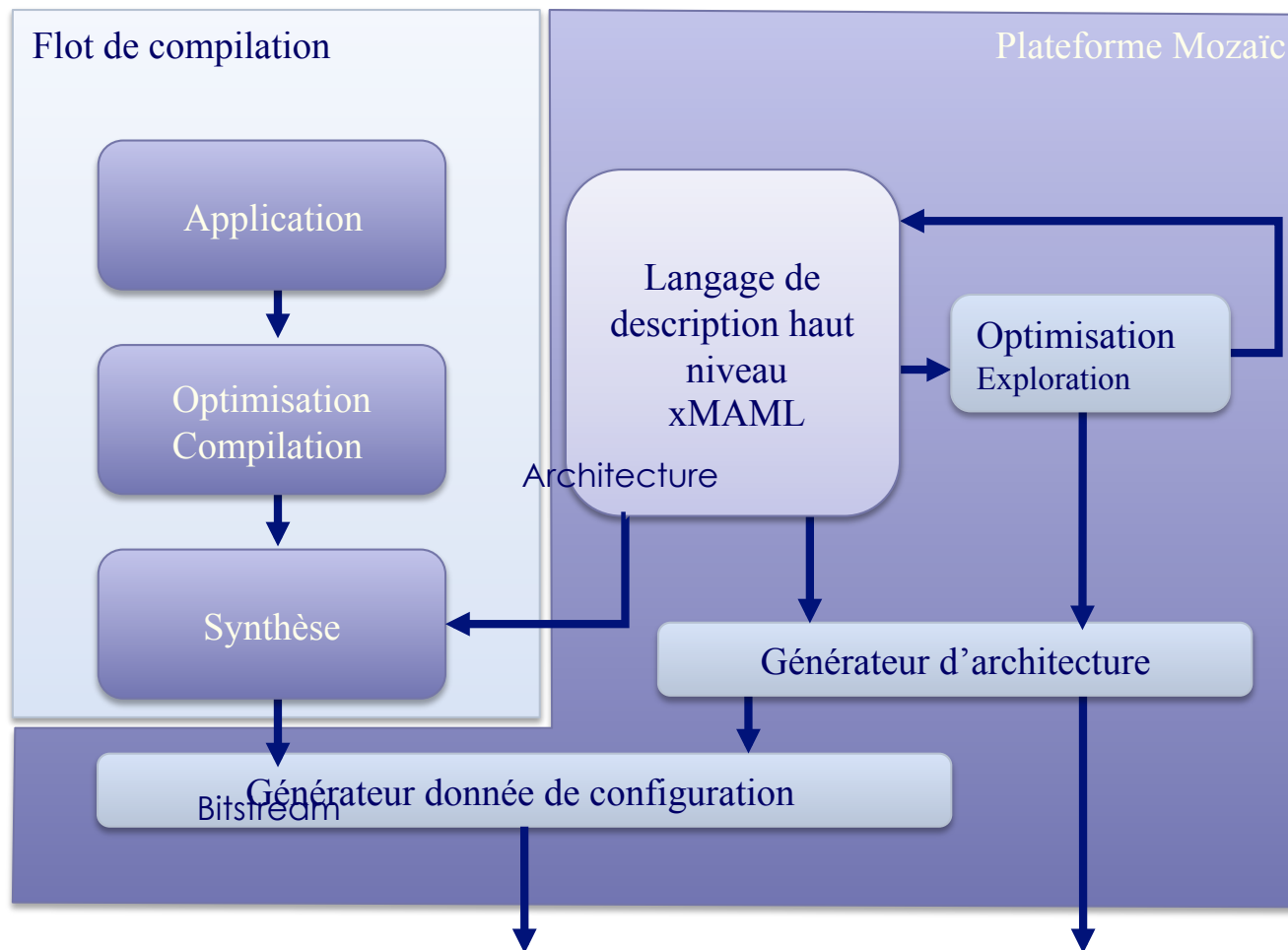
■ Orientée

- Performance

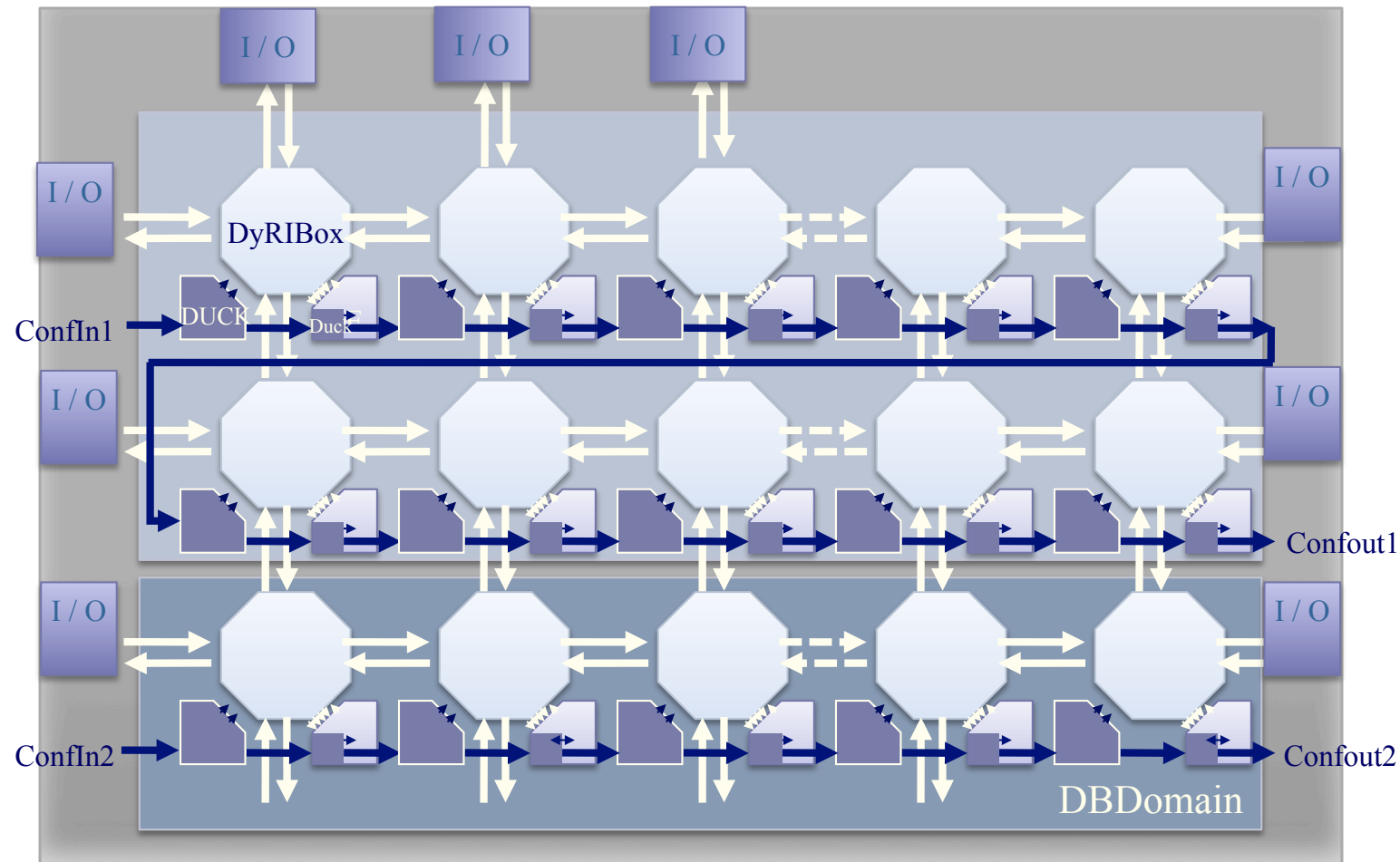
Choix architecturaux et outils ?

- ...

Environnement de conception Mozaïc

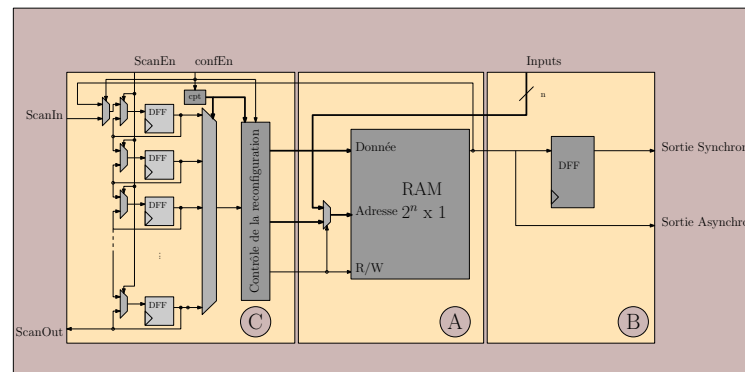
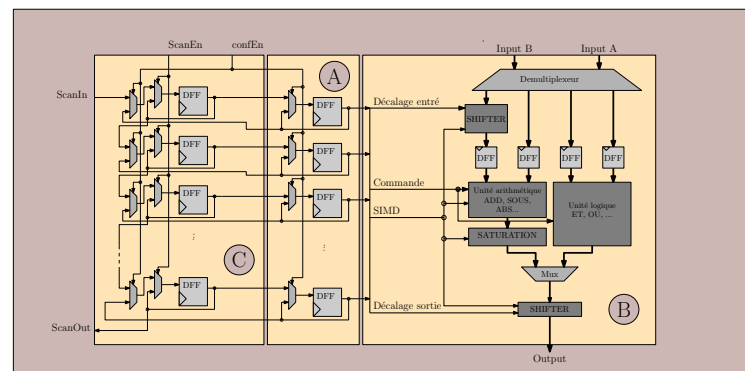
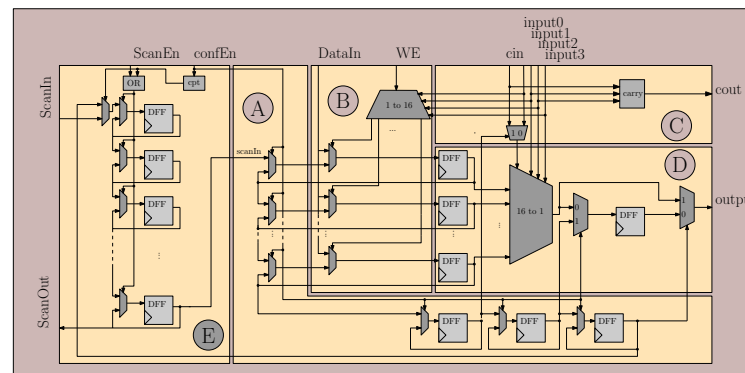


Modèle d'une ARD

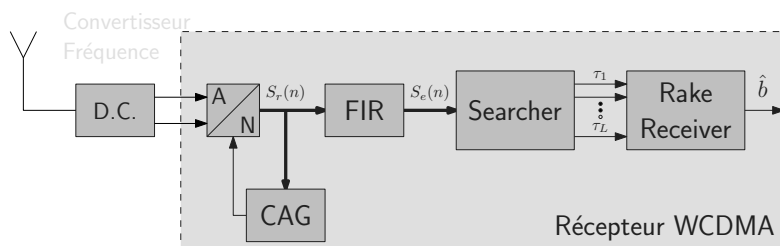


Modèle de reconfiguration de Mozaïc

- DUCK (Dynamically Unifier and Configurable block)
- Dédié à la ressource (I/O, PE, Dyribox)
- Principe de fonctionnement
 - propagation d'un nouveau contexte
 - attente de fin de traitement
 - échange des configurations (reconfiguration)
 - extraction du contexte précédent (préemption)
- Différents modes de fonctionnement

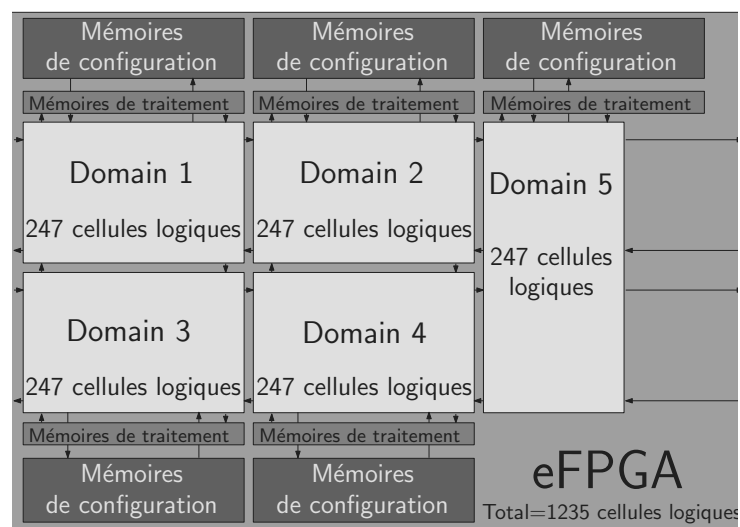


Exploration architecturale

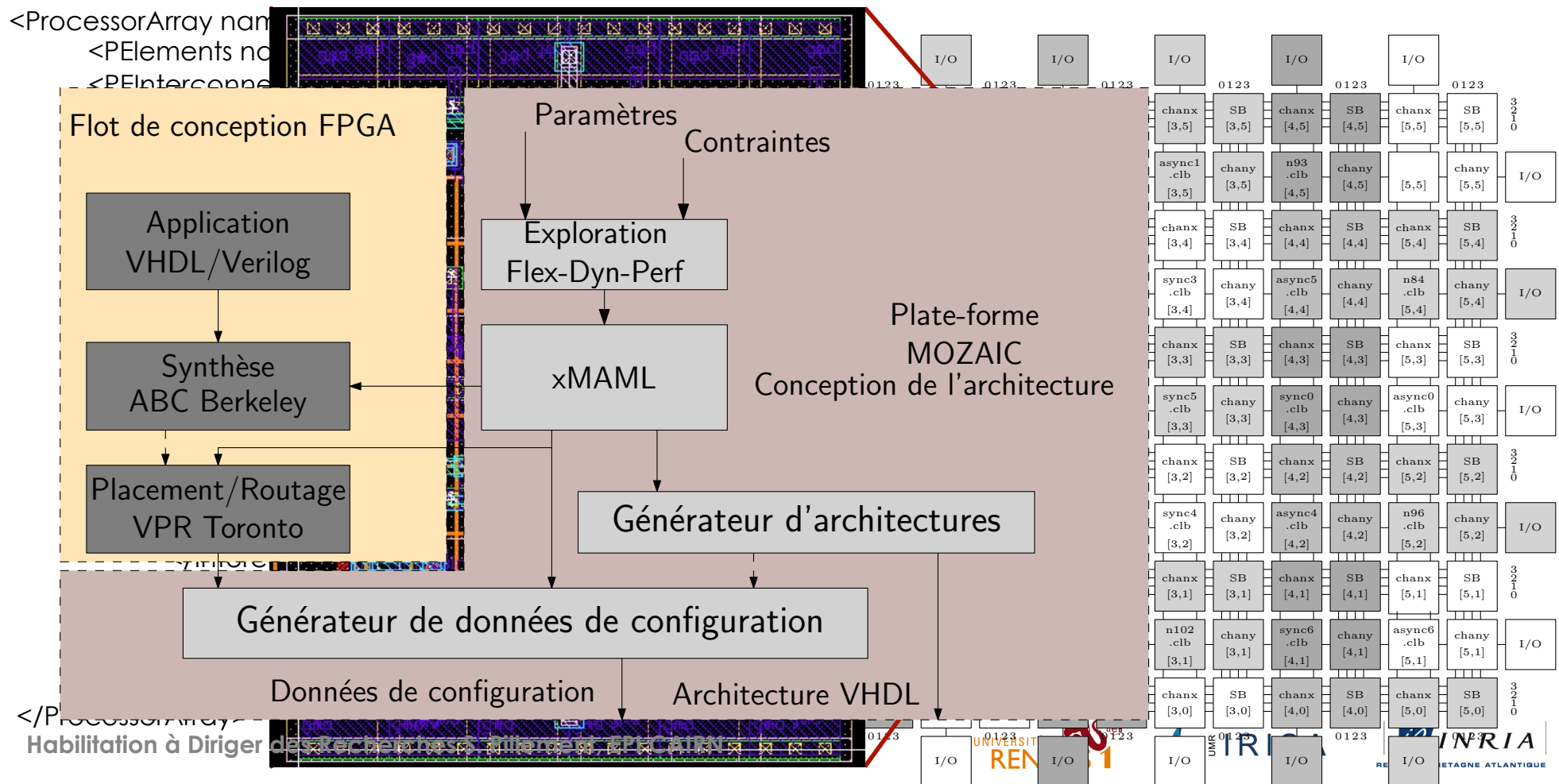


- Nécessite 1235 CLB pour le searcher
- Architecture type FPGA
 - 237120 bits de configuration

- 3 contextes à configurer
- Contrainte $t_{\text{slot}} = 65 \mu\text{s}$
- $\text{Mem}_{\text{config}}$ 8 bits fonctionnant à 300 MHz



Travaux en cours : eFPGA



Agenda

Introduction et contexte

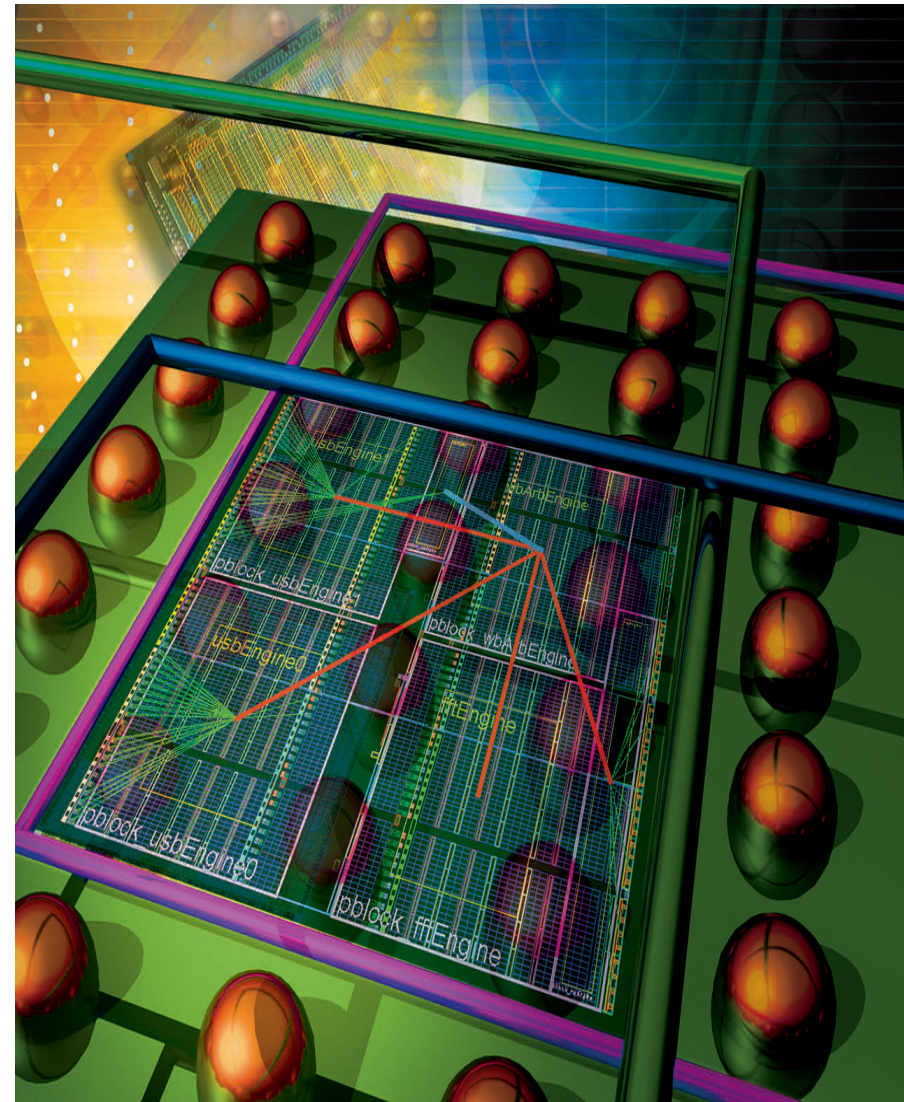
Domaines de recherche et contributions

Architectures et outils

Communications flexibles

Tolérance aux fautes

Le futur

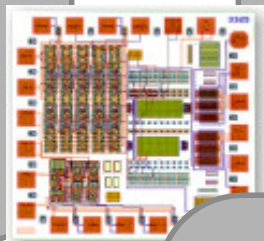


Source: Xcell Journal

Encadrements et projets

Encadrements

- 3 doctorants :
 - Philippe [2005],
 - Devaux [201X],
 - Pratomo [201X]
- 4 DEA/masters
 - Karakolah, Farooq, Devaux, Sassi



Contrats

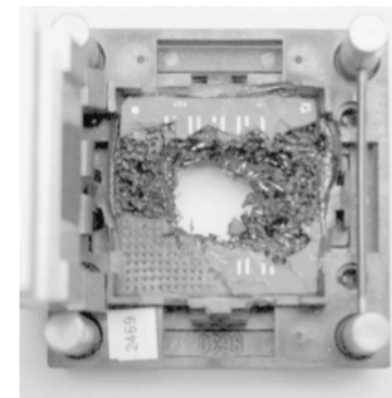
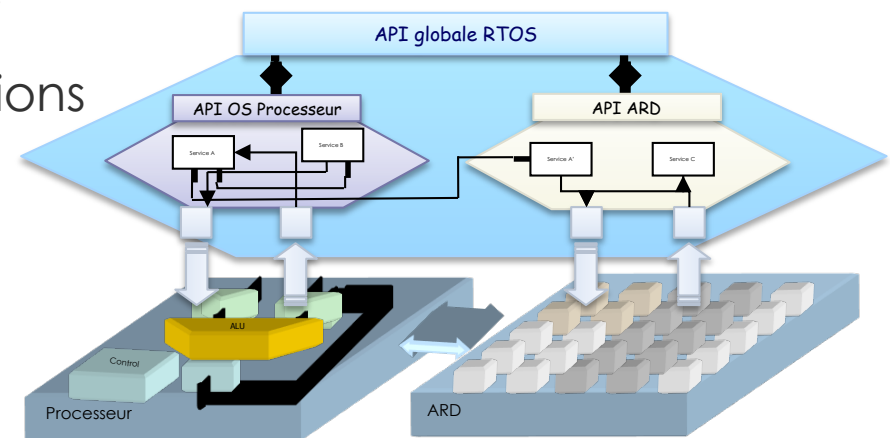
- Nationaux
 - FosFor (ETIS, LEAT, Thales TRT)
- Internationaux
 - MVL (EDO Inc.)

Publications

- 4 articles de revues internationales
- 1 article de revue nationale
- 8 conférences internationales
- 1 conférence nationale

Positionnement des travaux

- Pourquoi une gestion dynamique ?
 - Simplification du portage d'applications
 - Optimisation des performances
 - Duplication de tâches
 - Migration
 - Equilibrage de charge
 - Optimisation des ressources
 - Relocation de tâches
 - Gestion de la consommation
 - Gestion de la température

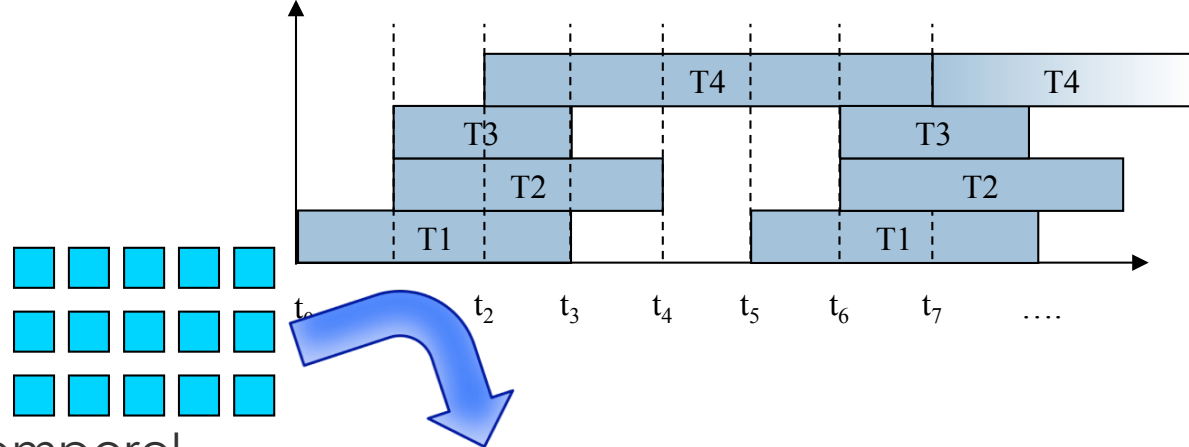


A. Vassighi, M. Sachdev, A. Keshavarze, C. Hawkins, ITC2003

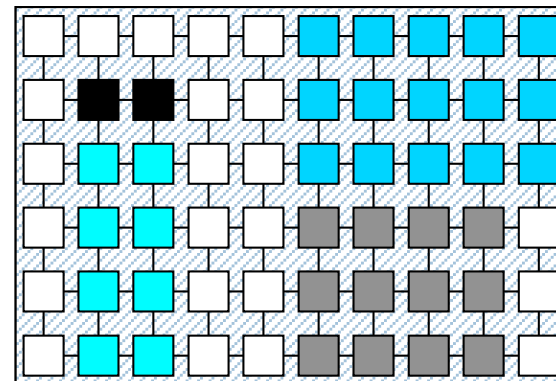
Positionnement des travaux

Task	R_i	C_i	P_i	$area_i$
T_1	0	3	5	2
T_2	1	3	5	12
T_3	1	2	5	8
T_4	2	5	5	15

Temporal schedule

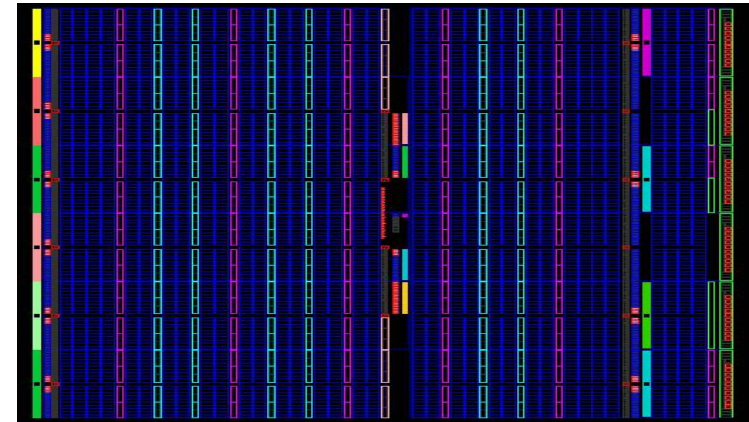


- Ordonnancement temporel
- Ordonnancement spatial
- Fragmentation
- Migration de tâches
- Interconnection



Support de la communication

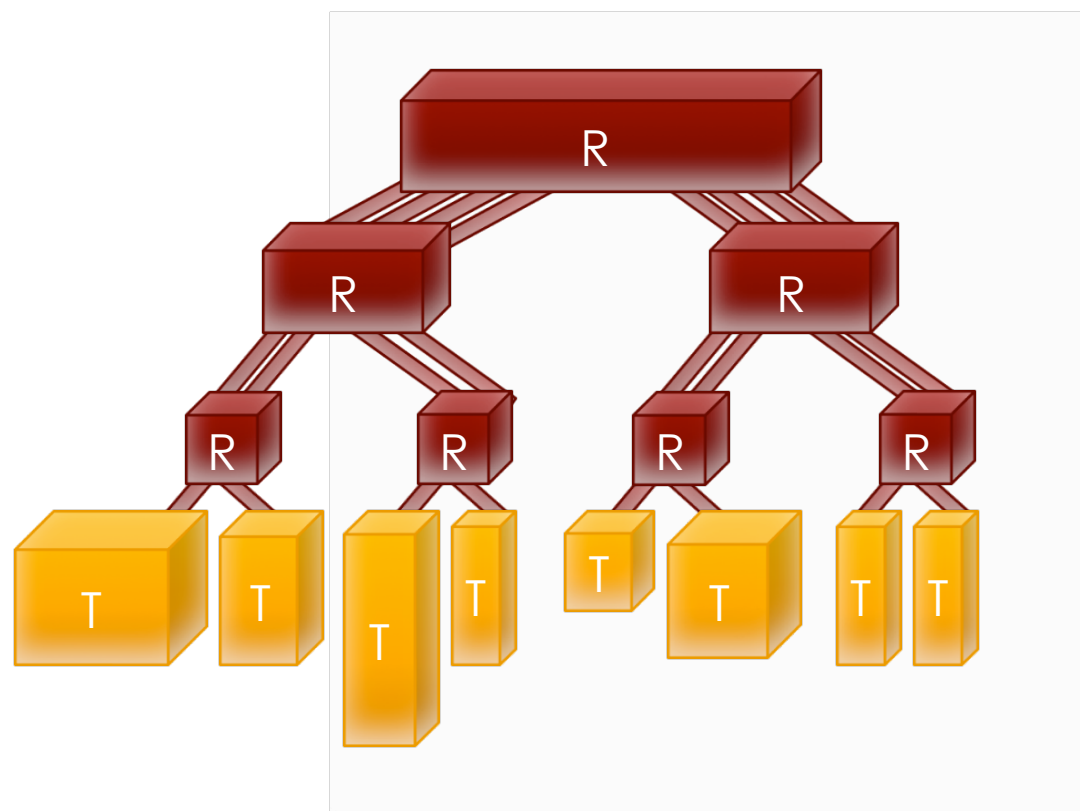
- Cible FPGA
 - Orientée colonne
- Contraintes :
 - Placement dynamique des tâches
 - Taille des tâches différentes
 - Débit et latence
 - Utilisation des ressources



Approche Réseau sur Puce

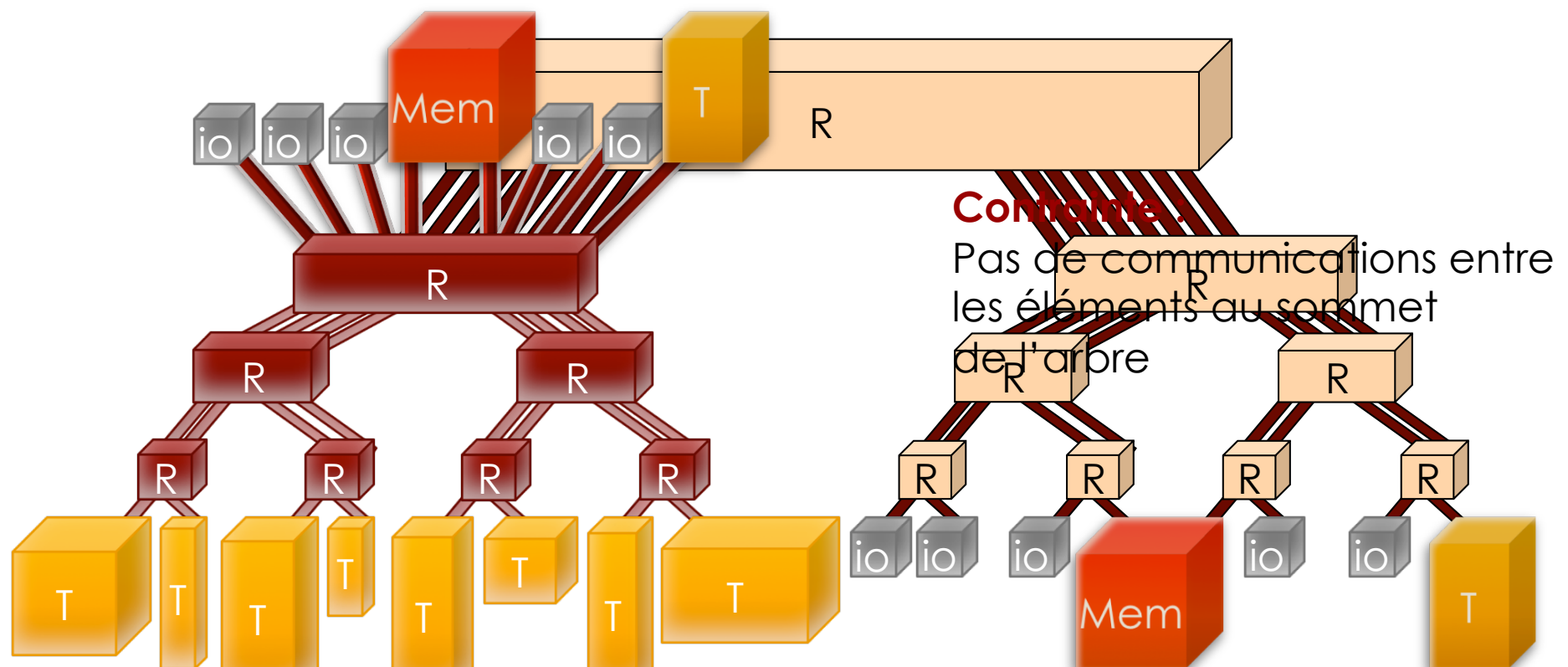
Support de la communication

- Topologie
 - Mesh
 - Simple
 - BP limitée
 - 2D
 - Hotspots
 - Fat-Tree
 - Coût HW

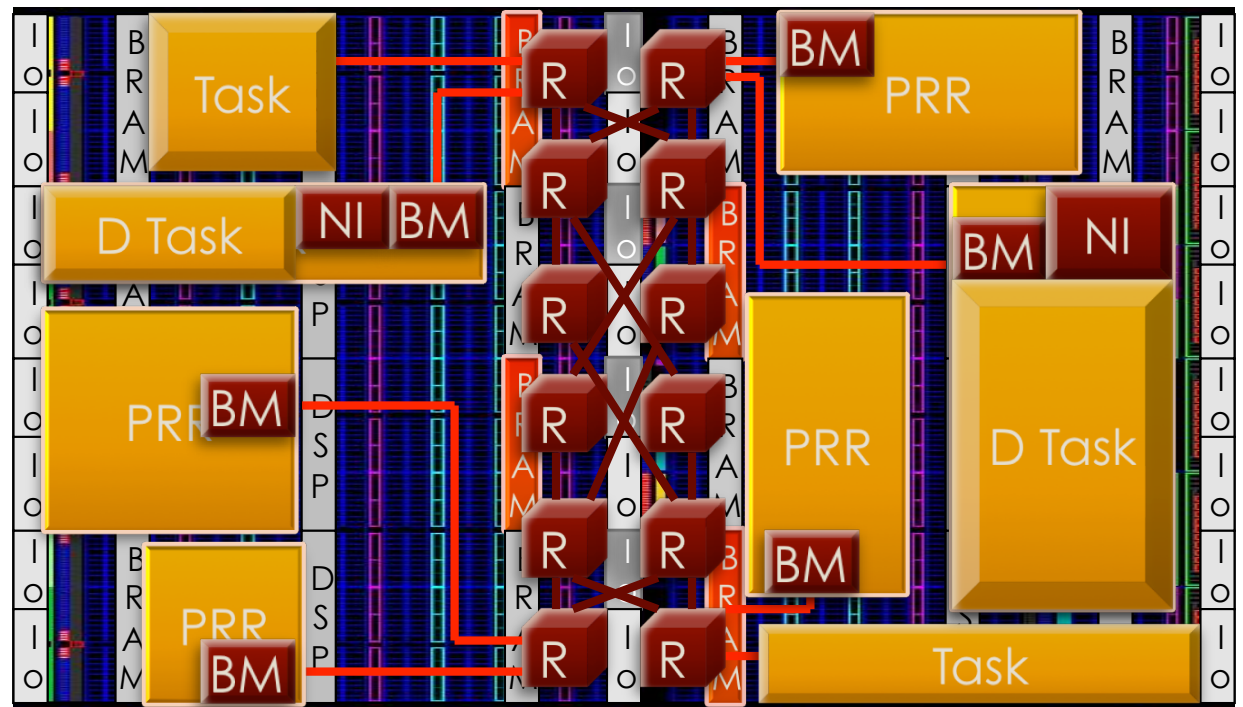
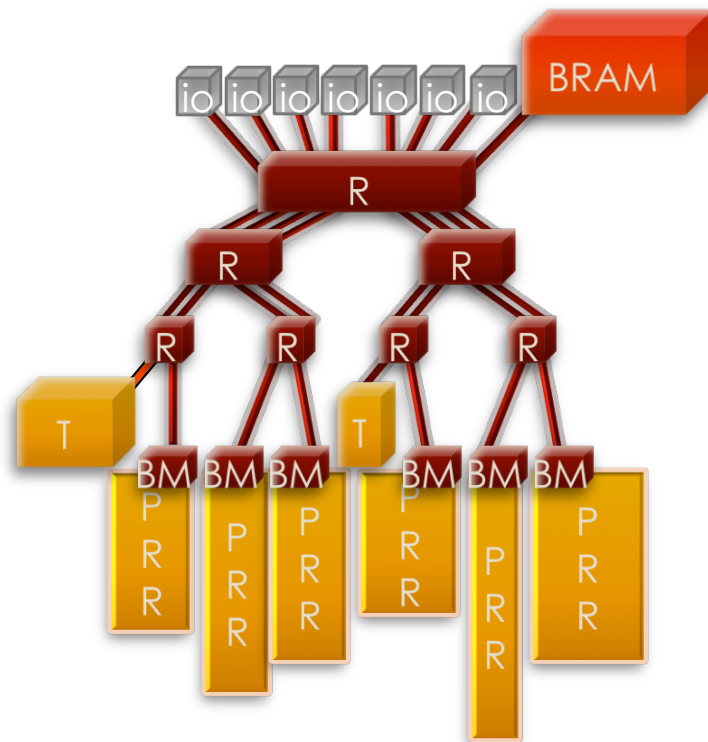


Du Fat-Tree à DRAFT

- Connexion des éléments partagés



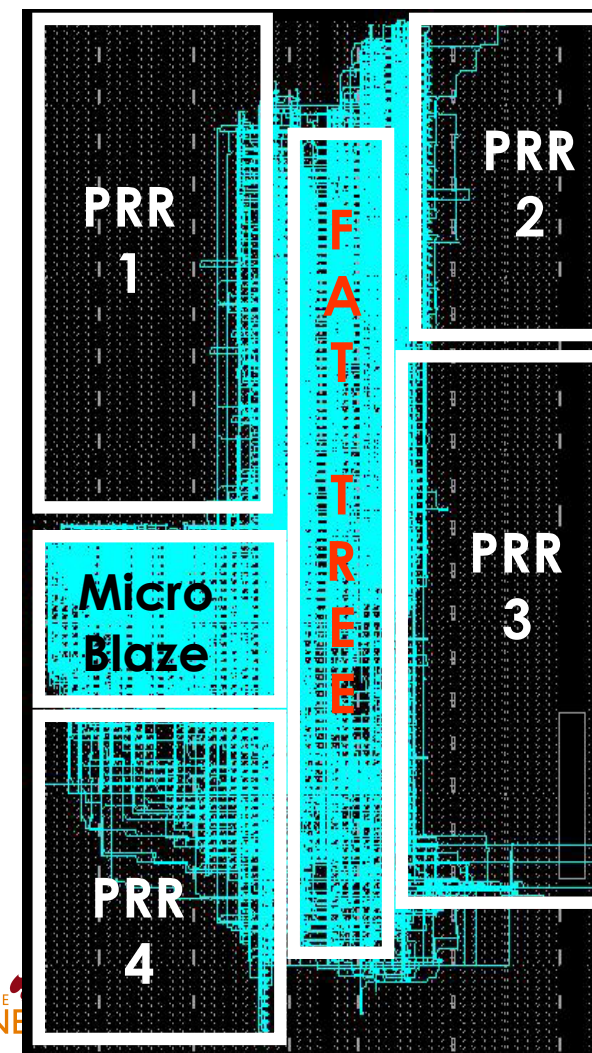
Implémentation



Résultats d'implémentation

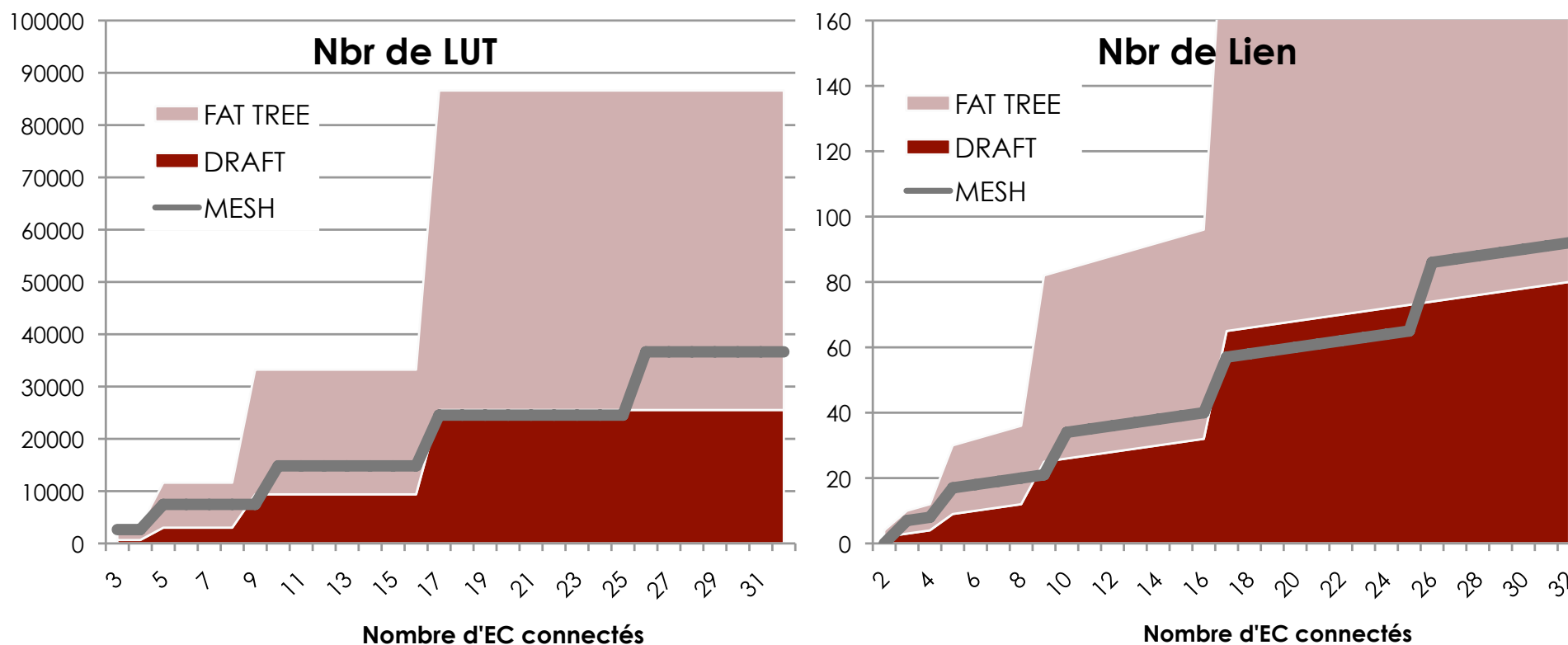
- Résultats temporel :
 - Routeur : 9.09ns (110MHz)
 - Bande passante agrégée : 440Mbyte/s
 - Latence max : 140 ns

	DRAFT alone			system		Free space
	used	total	%	used	%	%
Registers	857	32640	2%	2223	6%	92%
LUTs	3470	32640	10%	5150	15%	85%
DSPs	0	288	0%	3	1%	99%
BRAMs	0	132	0%	16	12%	88%



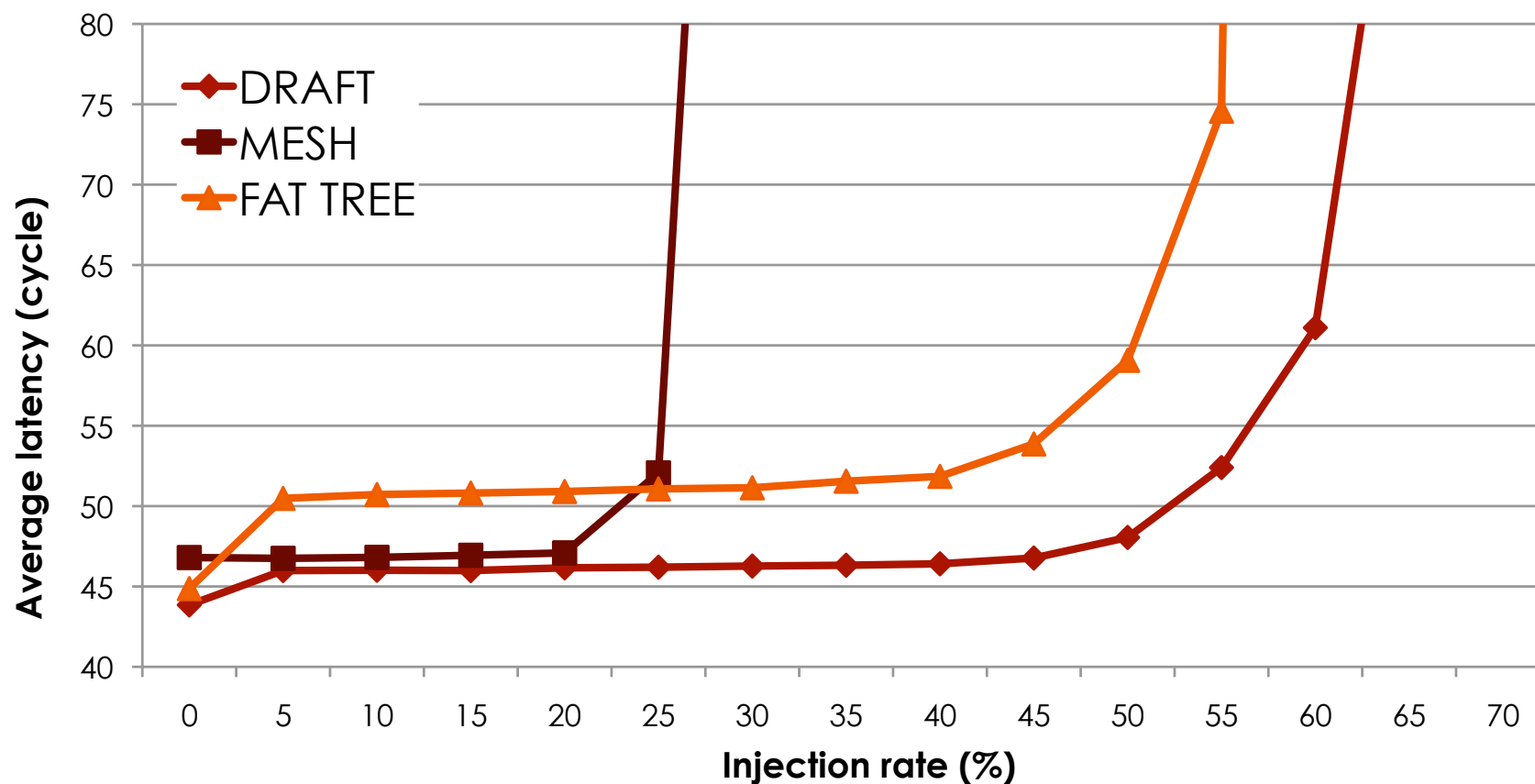
Comparaisons :

DRAFT, FatTree, Hermes [Morales04]

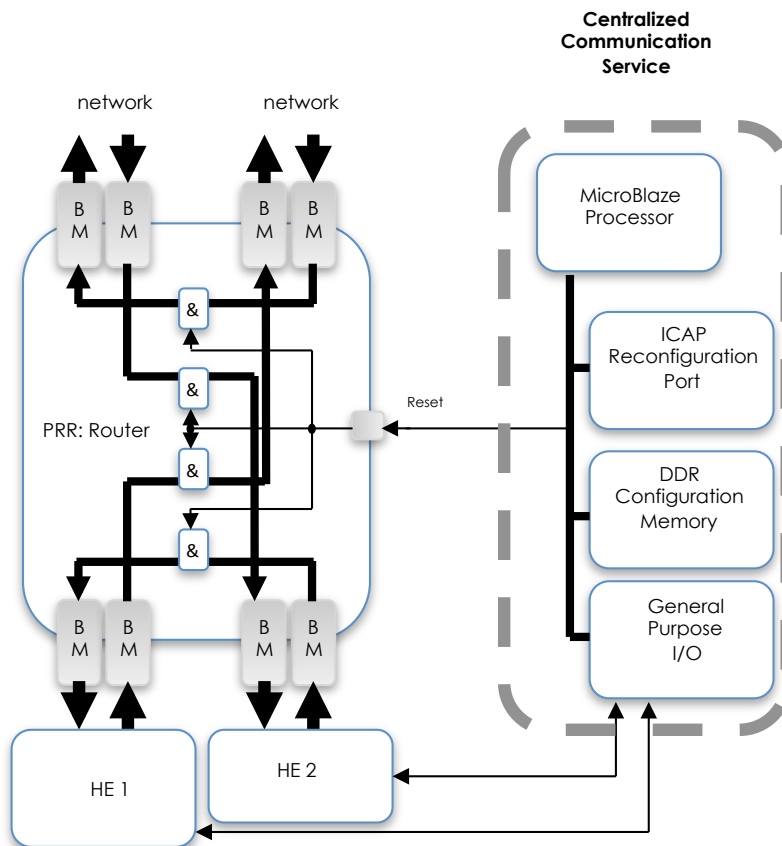


Comparaisons :

DRAFT, FatTree, Hermes [Morales04]



Travaux en cours : R2NoC



- Commutation de circuit
- Plus de routeur
- Pb d'outil et d'implémentation
- Etude de l'implémentation VLSI

Agenda

Introduction et contexte

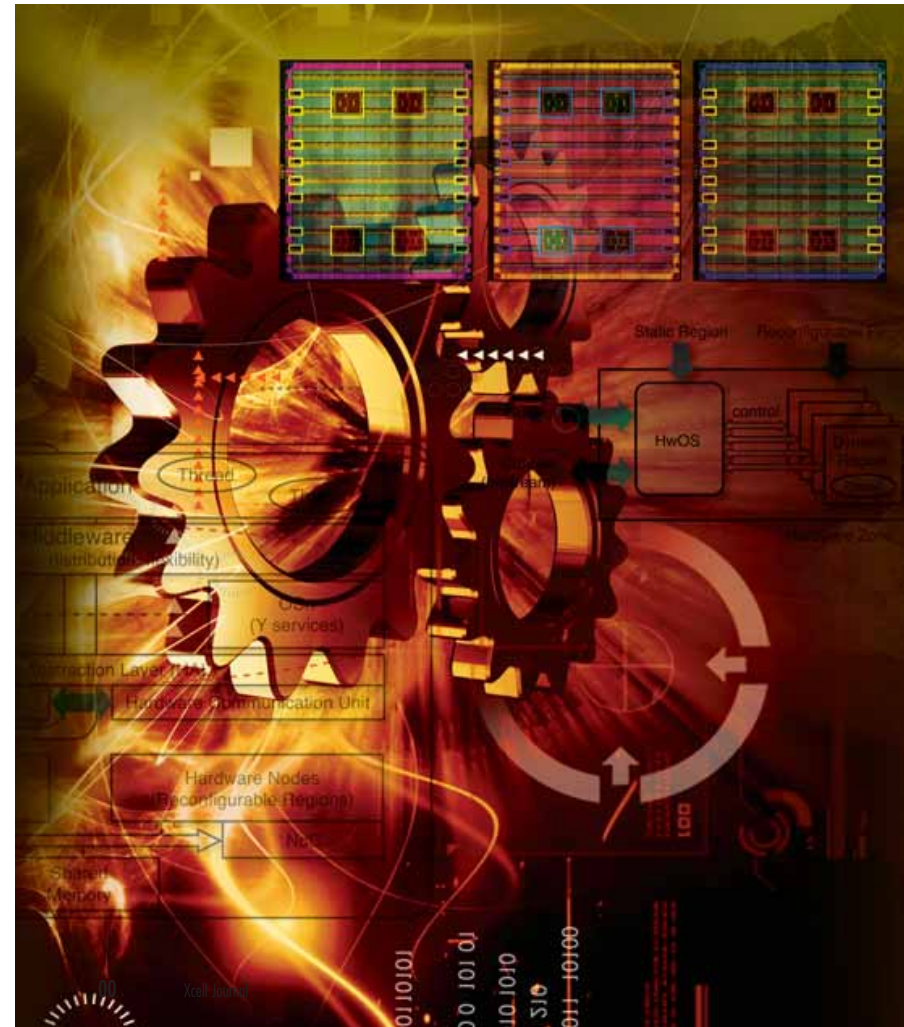
Domaines de recherche et contributions

Architectures et outils

Communications flexibles

Tolérance aux fautes

Le futur

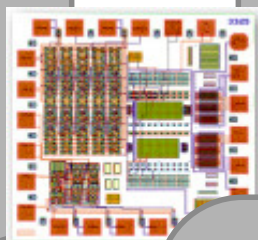


Source: Xcell Journal

Encadrements et projets

Encadrements

- 3 doctorants :
 - Benkermi [2003],
 - Pham [2010],
 - Eiche [201X]
- 2 DEA/masters
 - Abas, Nataraja



Contrats

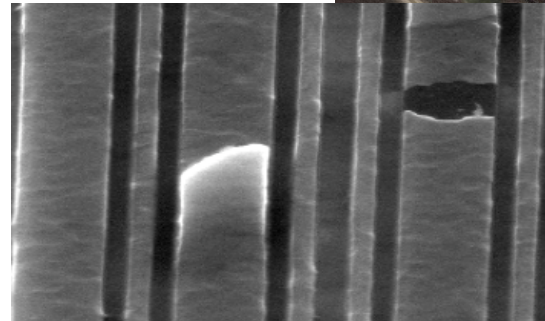
- Nationaux
 - OverSoc (ETIS, LISIF)
 - CIFAER (IETR, ATMEL, IREENA, GEENSYS)
- Régionaux
 - Seraihv, MARC

Publications

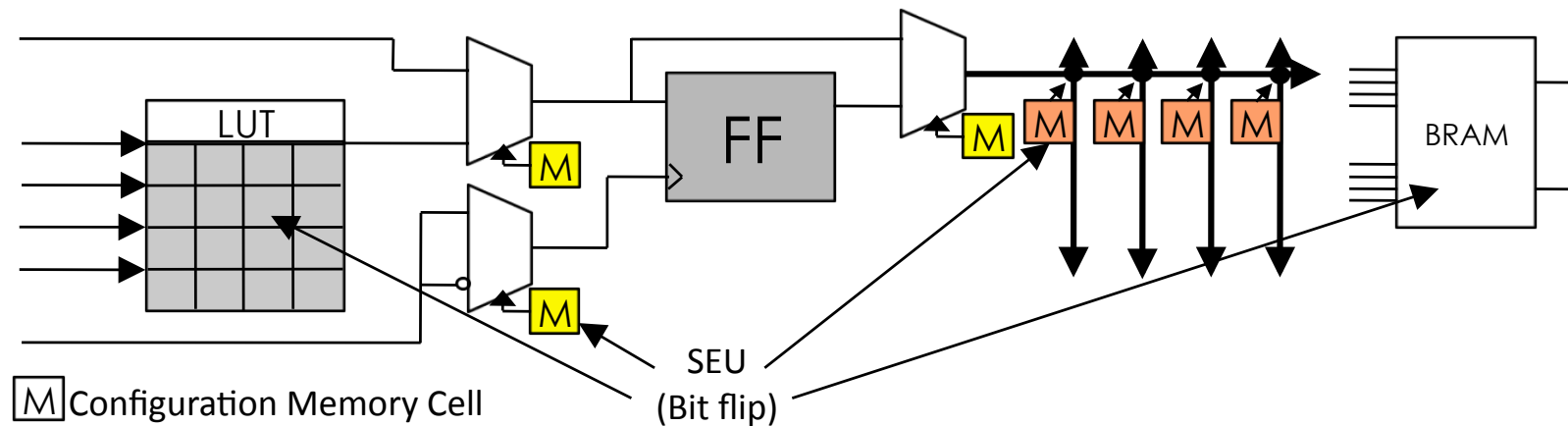
- 2 articles de revues internationales
- 1 article de revue nationale
- 1 chapitre de livre
- 12 conférences internationales
- 3 conférences nationales

Positionnement des travaux

- Nouveaux domaines d'applications
 - Espace, Aviation, médical, automobile,
 - Banque, militaire, ...
- Circuits durcis aux radiations sont chers
 - Utilisation de circuits classiques
- Variabilité et « aging »
 - Erreurs permanentes



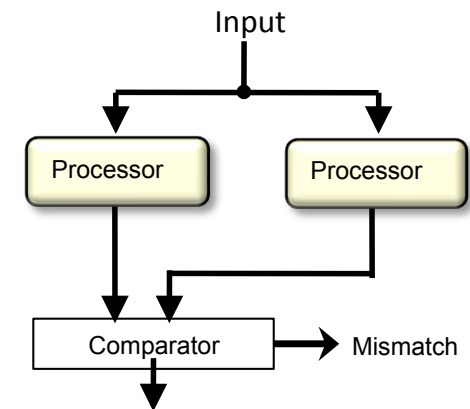
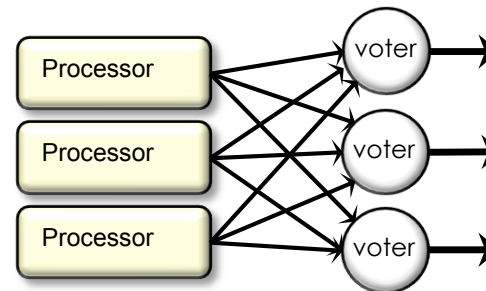
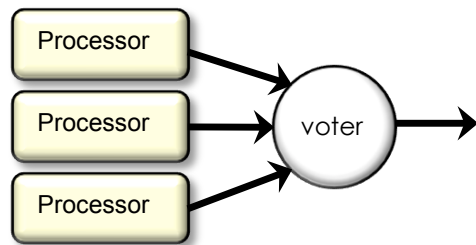
Modèle de fautes



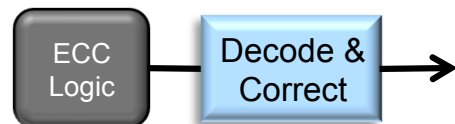
- Changement d'état d'un bit (SEU)
 - Changement de la fonction logique ou du circuit
- Fautes persistantes (SEFI)

Approches « classiques »

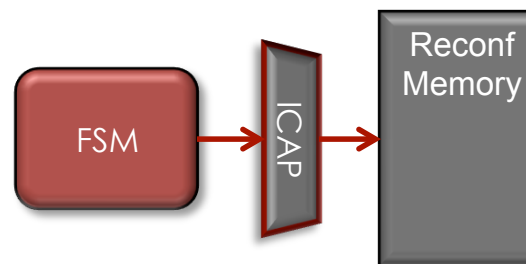
■ Redondances (TMR, DWC)



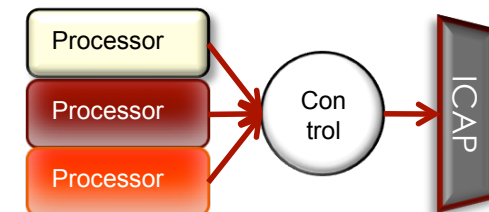
■ Code correcteur d'erreurs



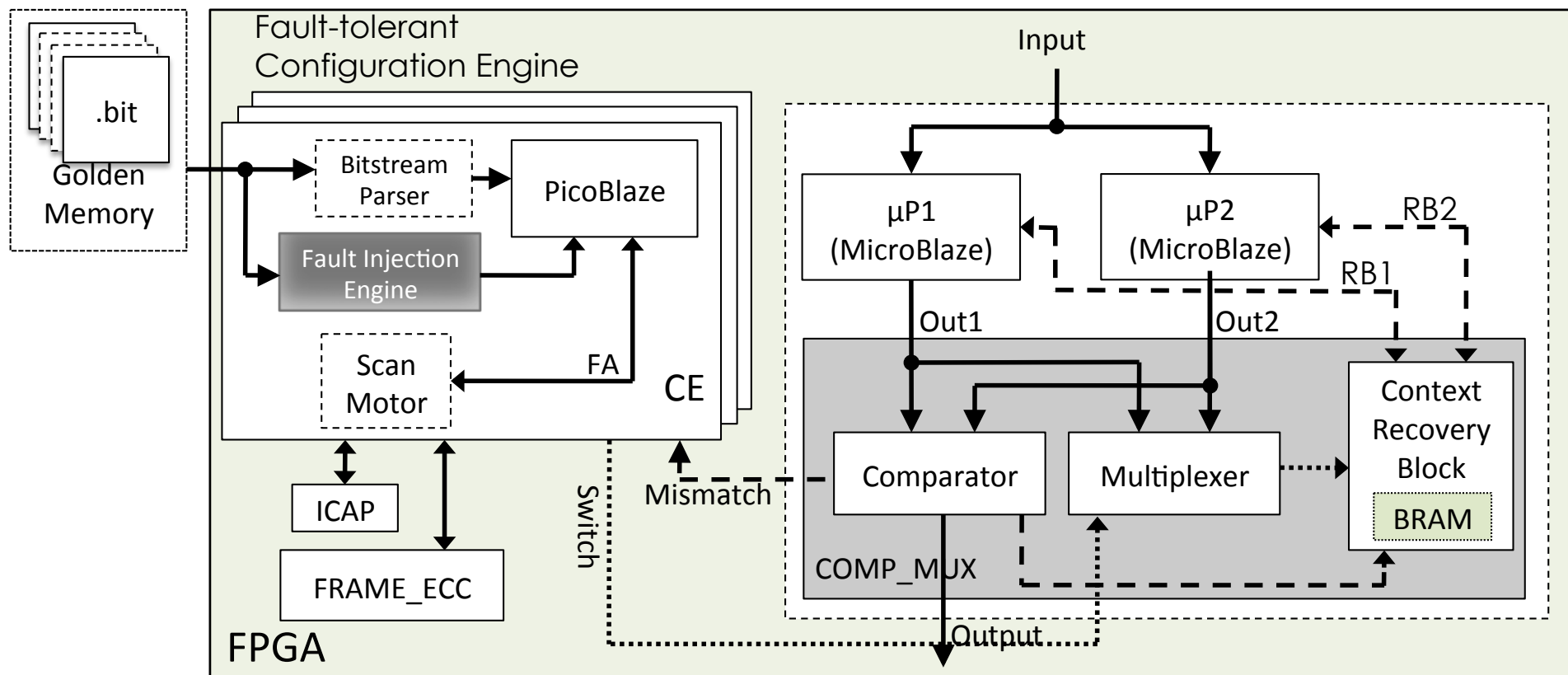
■ Scrubbing



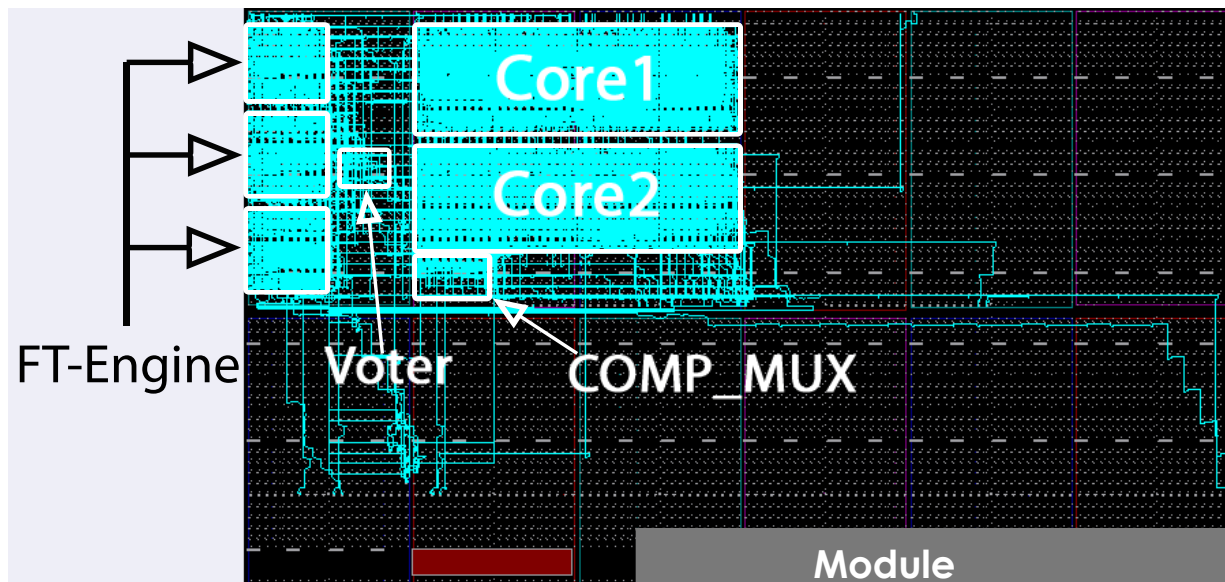
■ Tiling



Enhanced Lockstep

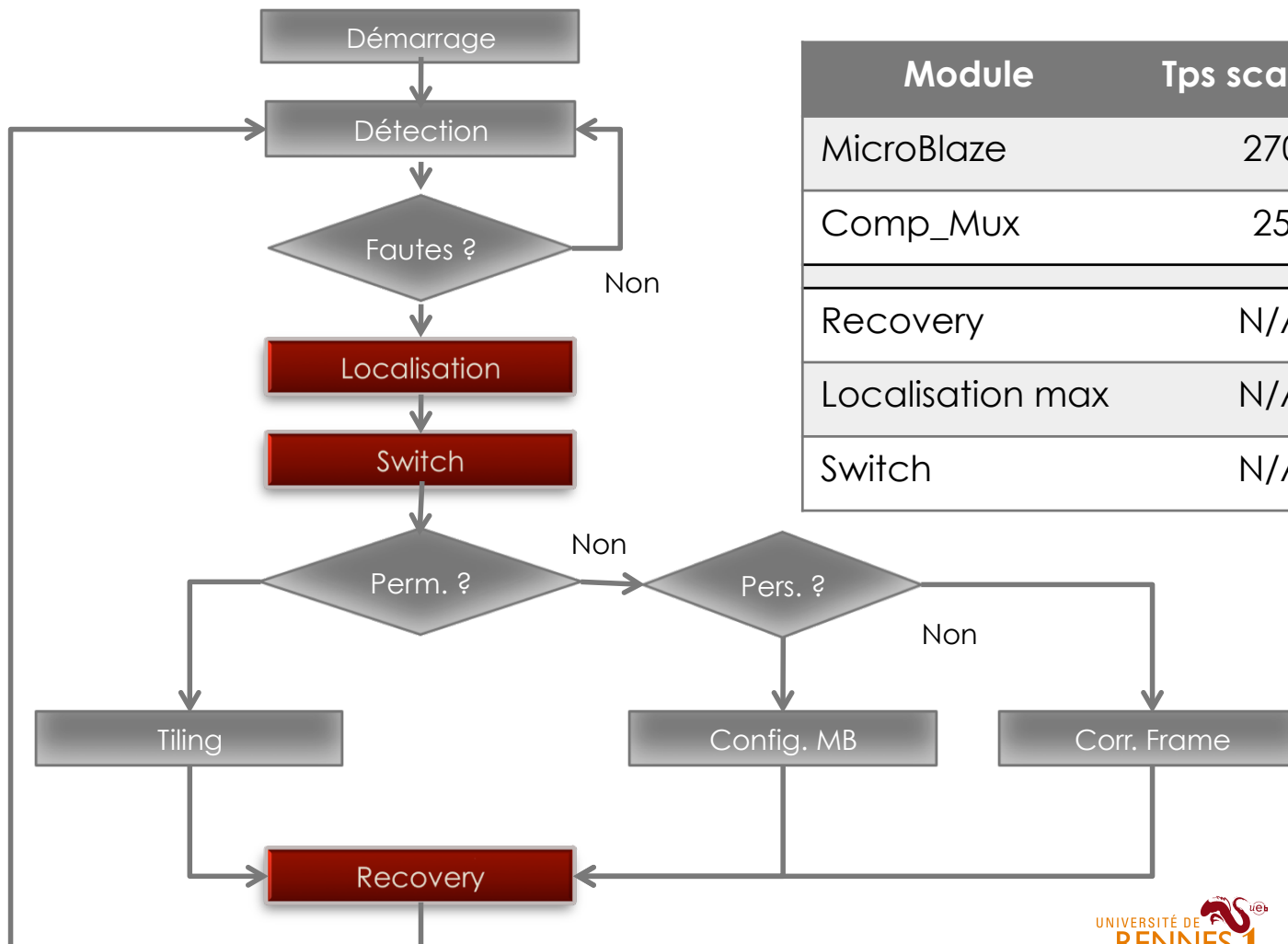


Implémentation



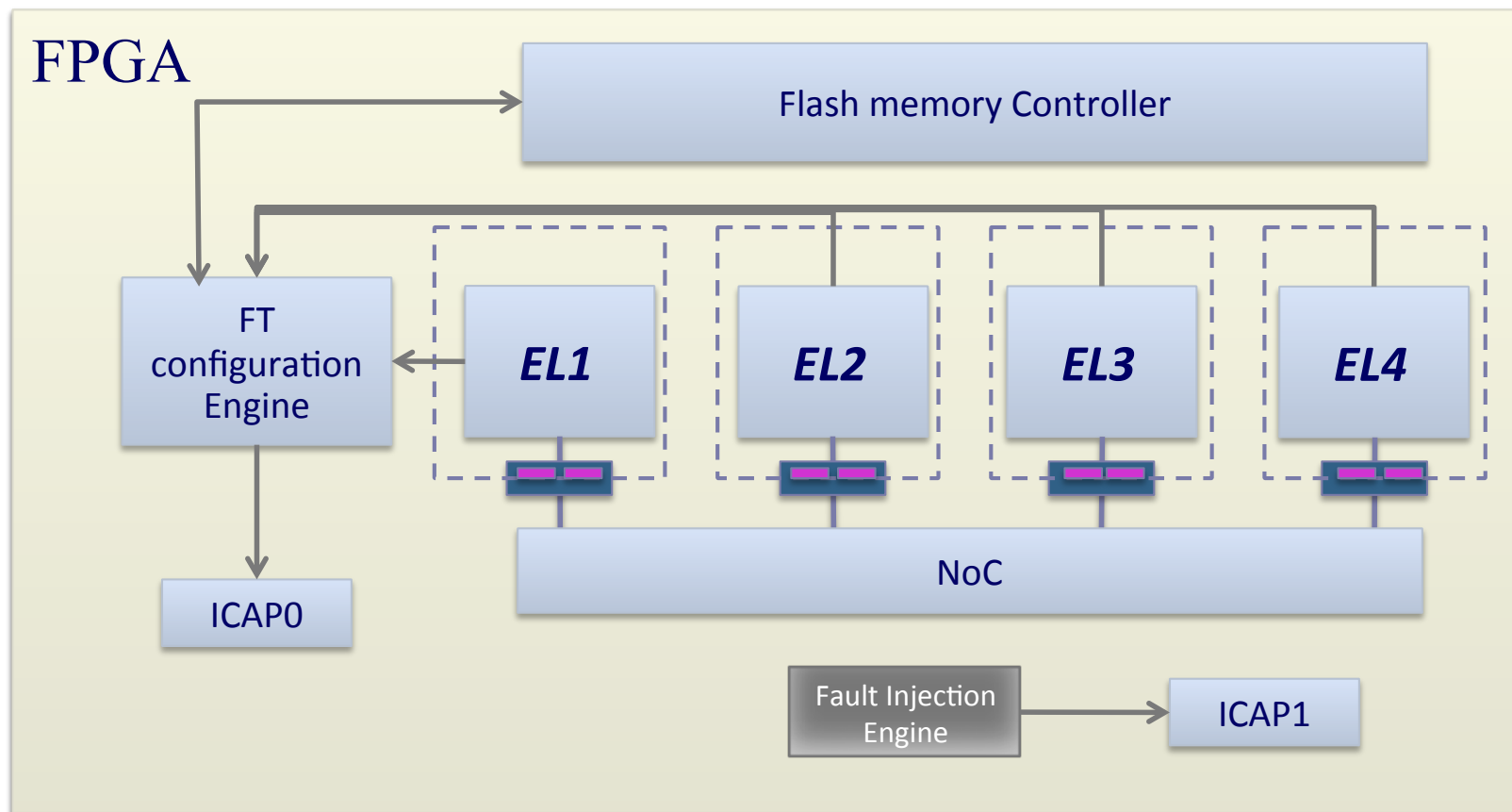
Module	Slices	BRAM [Ko]
FT Configuration Engine	360 (3x120)	
Voteur	20	
MicroBlazes*	560	32
Comp_Mux	60	4
XC5VSX50T	32640	132

Résultats temporels



Module	Tps scan (μ s)	Tps reconf (μ s)
MicroBlaze	270	326 000
Comp_Mux	25	185
Recovery	N/A	5,2
Localisation max	N/A	300
Switch	N/A	0,002

Travaux en cours : FT-DyMPSoC



Agenda

Introduction et contexte

Domaines de recherche et contributions

Architectures et outils

Communications flexibles

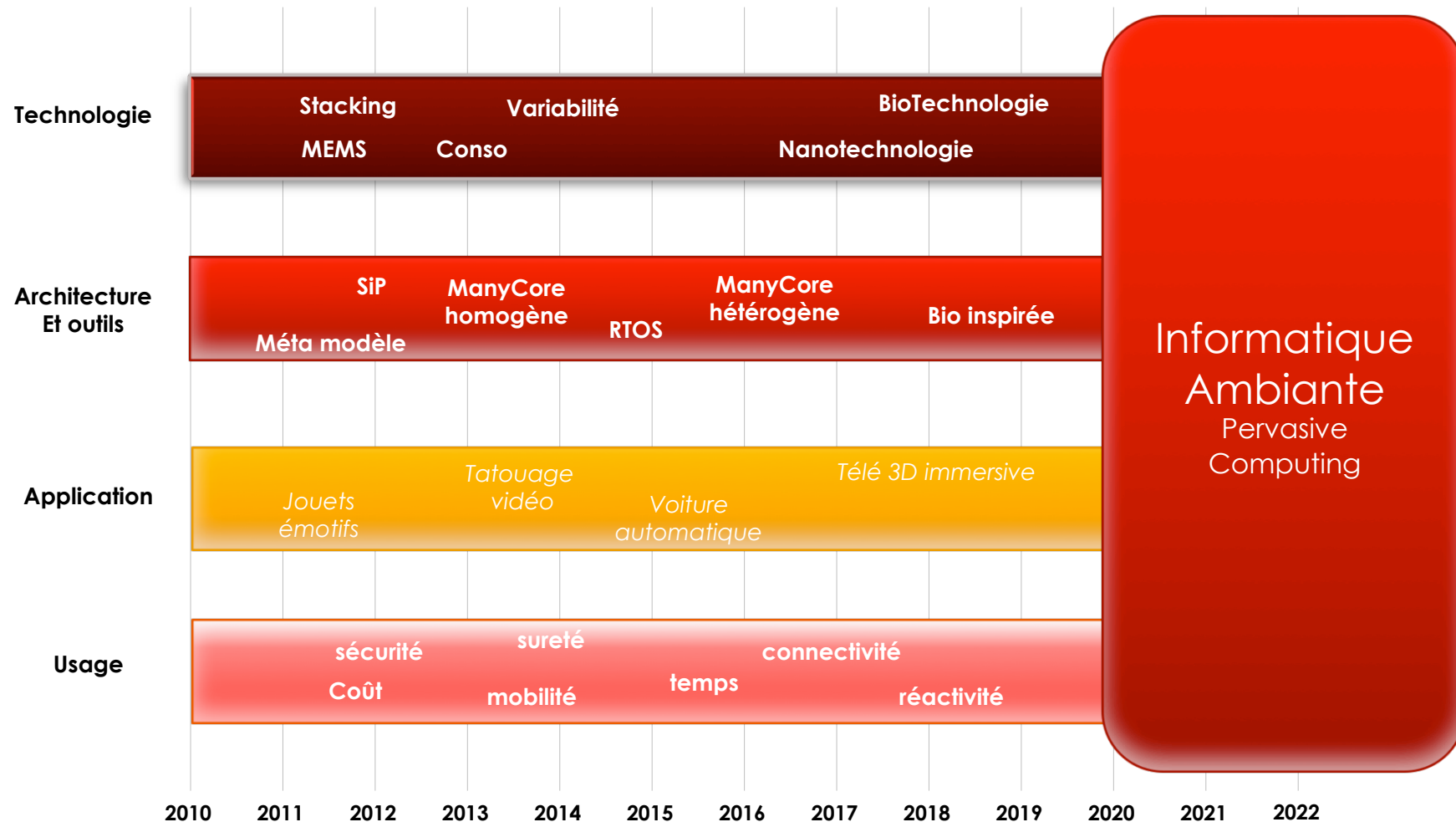
Tolérance aux fautes

Le futur



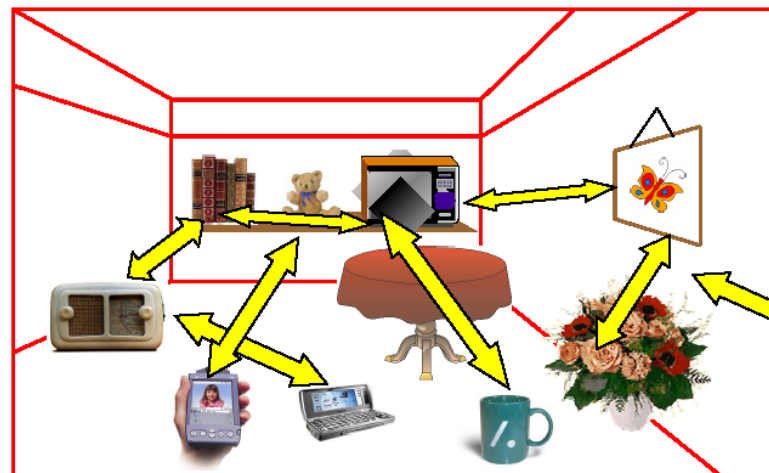
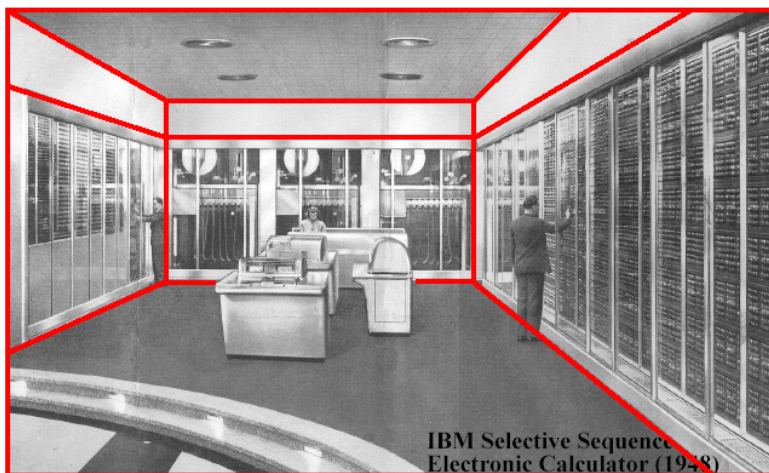
Source: Xcell Journal

Et demain ...



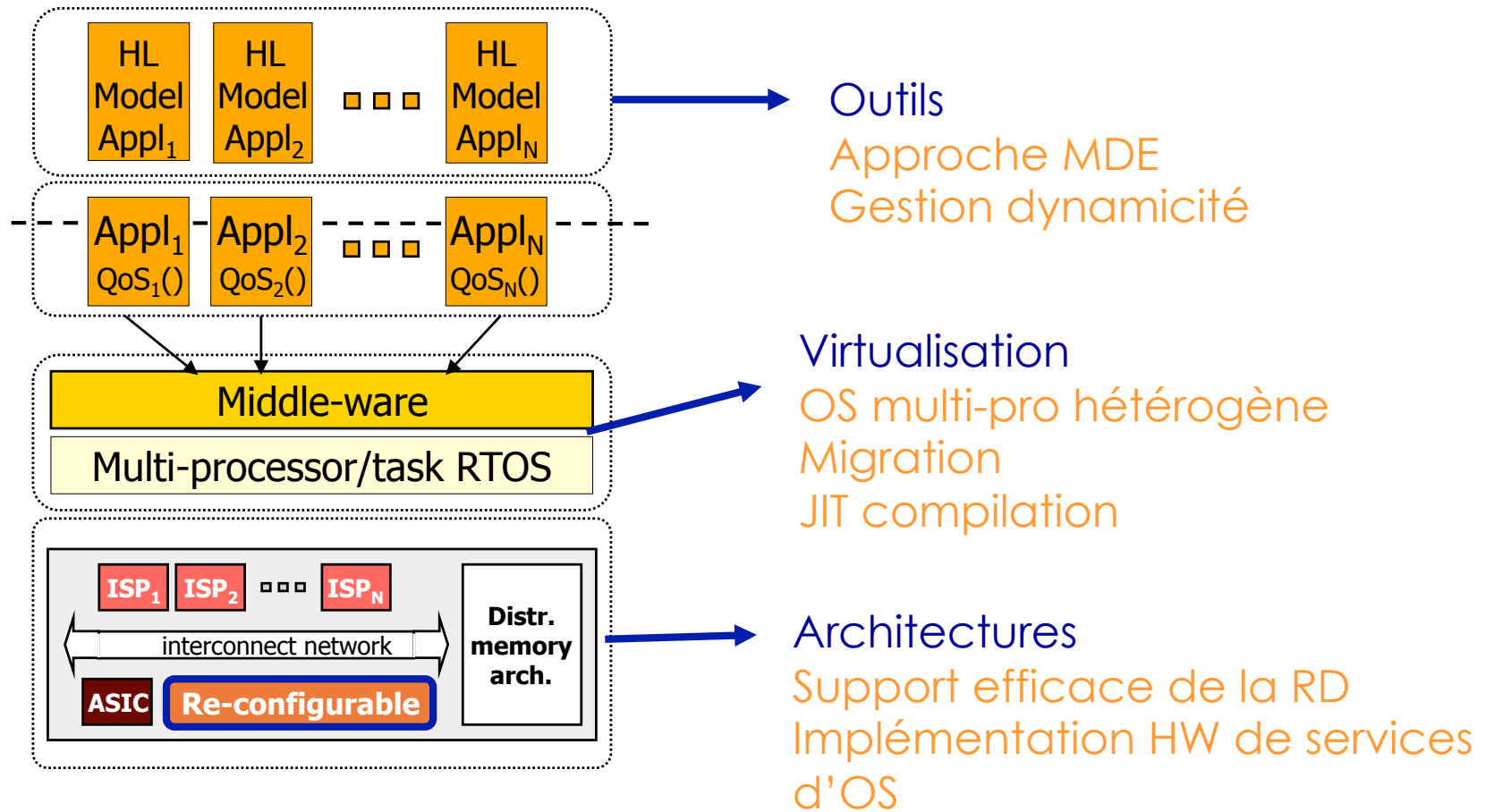
Les ordinateurs d'hier
remplissaient les pièces ...

... ceux de demain aussi!!

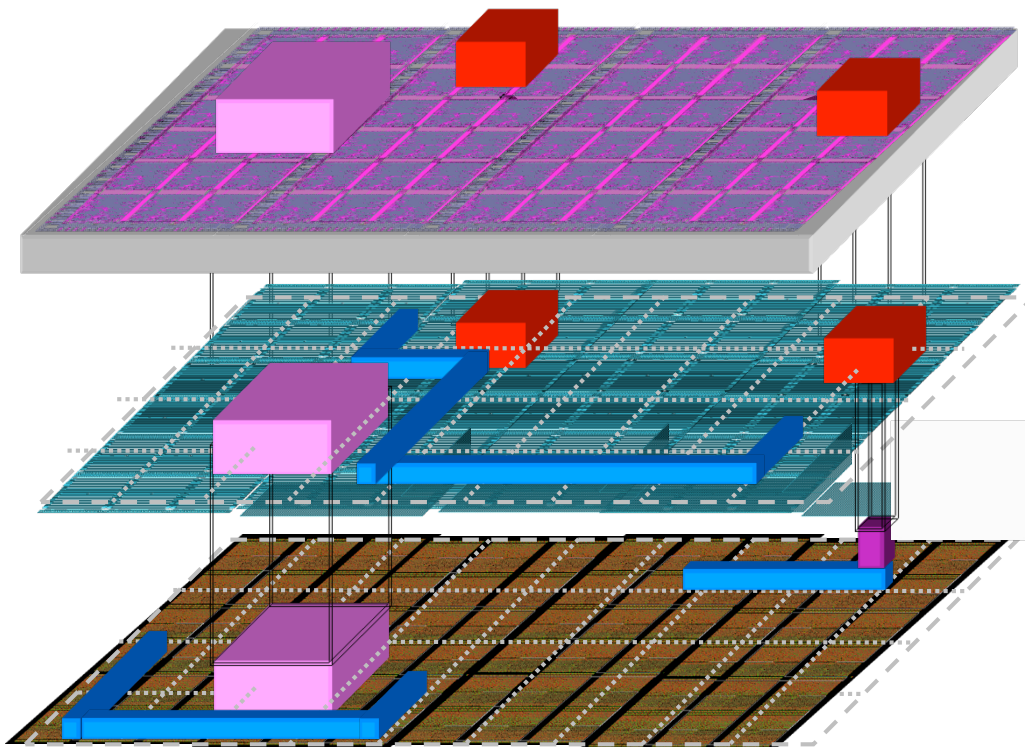


© F. Mattern

Abstractions

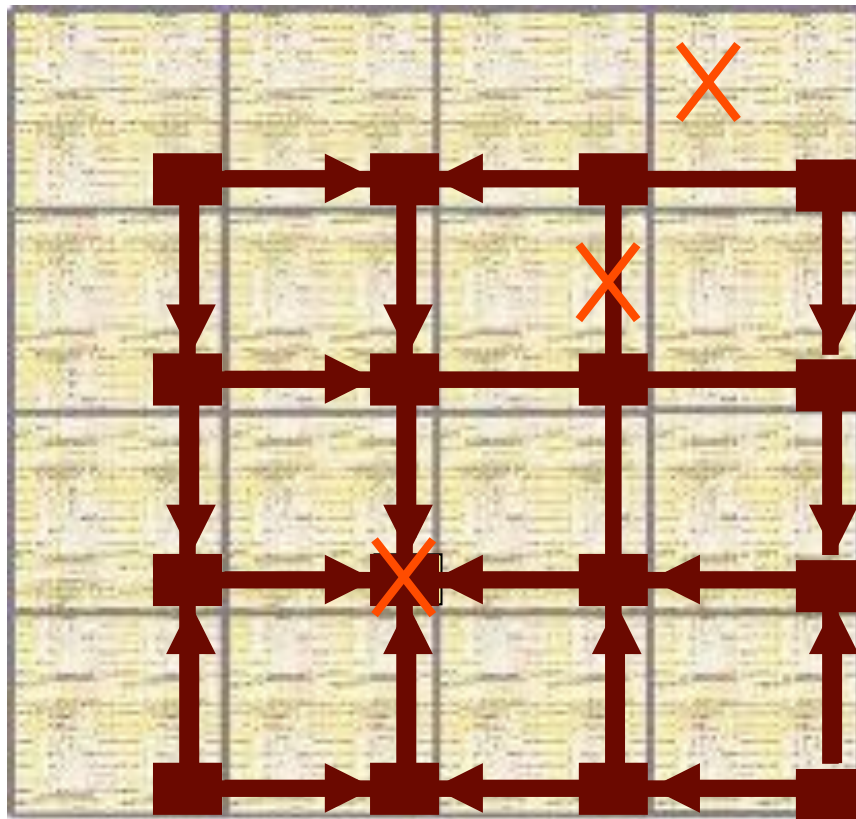


Architecture

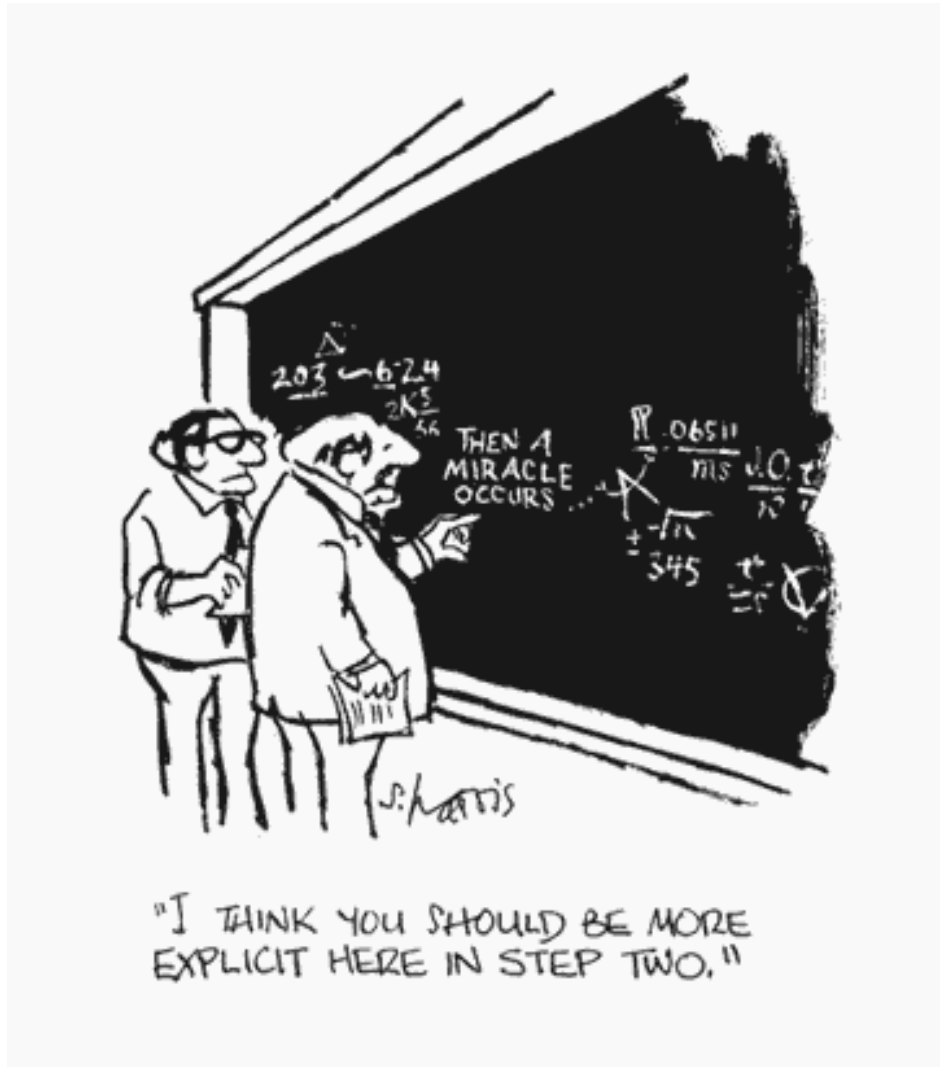


- Manycore
 - De l'hétérogène sur une architecture homogène
 - Tile avec un processeur et du reconfigurable
- 3D stacking
 - Couches homogènes
 - Gestion dynamique de la zone reconfigurable
 - Communications

Tolérances aux fautes



- Méthodes pour les architectures manycore dans des technologies DSM
- Développement de NoC dynamique



Merci de votre attention.

Question ?

Sébastien Pillement

Université de Rennes 1
IRISA - CAIRN

Reconfiguration dynamique

Une définition

Configurable

Calcul flexible où les instructions sont exécutées dans le **temps** et dans **l'espace**

Reconfigurable

Terminologie générale qui démontre la capacité d'une architecture d'être **configurée plusieurs fois**

Reconfigurable dynamiquement

Type de reconfiguration qui réalise des **modifications** de configurations pendant **l'exécution**