Curriculum vitae détaillé

TANGUY RISSET

Irisa, Campus de Beaulieu
35042 Rennes Cedex
risset@irisa.fr
http://www.irisa.fr/cosi/HOMEPAGE/Risset/

26 février 2001

Table des matières

1 Curriculum résumé (une page)

ÉTAT CIVIL

Nom : **RISSET**	Prénom : **Tanguy**
Situation de famille : **Vie maritale.**	Nombre d'enfants : **1**
Date et lieu de naissance : **31/08/66, Quimper**	Nationalité : **Française**

CURSUS

1987-1994	**Élève Normalien à l'ENS de Lyon, puis thèse à L'ENS de Lyon (direction: Yves Robert, soutenance en 1994).**
1994-2000	**Chargé de recherche Inria dans le projet Api (puis Cosi) de l'Irisa (Unité de Rennes). HDR Université de Rennes 1 (Novembre 2000)**

RECHERCHE

- **Étude et réalisation d'une méthodologie de compilation/parallélisation de circuits avec le système MMAlpha**.
- **Développements du modèle polyédrique.**
- **Étude de la parallélisation automatique en général.**
- **Études d'architectures spécialisées parallèles (VLSI et FPGA, domaines applicatifs: traitement du signal, algèbre linéaire, analyse d'image, codage, ...).**
- **Développement et maintenance de la plate-forme logicielle MMAlpha**

PUBLICATIONS

- **neuf articles parus dans des revues internationales avec comité de lecture.**
- **vingt-deux articles parus dans des actes de conférences internationales avec comité de lecture.**

ENCADREMENTS, ENSEIGNEMENTS et VIE SCIENTIFIQUE

- **Encadrement (de 30% à 50%) de quatre chercheurs de 3ème cycle et sept stagiaires de DEA.**
- **Participation active à l'enseignement (50 à 60 heures par an).**
- **participation à l'organisation du DEA de Rennes 1.**

2 Curriculum complet

2.1 État civil et diplômes

ÉTAT CIVIL

Nom : **RISSET**	Prénom : **Tanguy**
Situation de famille : **Vie maritale.**	Nombre d'enfants : **1**
Date et lieu de naissance : **31/08/66, Quimper**	Nationalité : **Française**
Adresse : **16 rue René Marcillé**	N° de téléphone : **02 99 84 74 60**
Ville : **Rennes**	Code Postal : **35000**

TITRES ET GRADES

HDR :	22 **Novembre 2000: Habilitation à diriger les recherches de l'université Rennes 1** ***Contribution à la compilation de nids de boucles sur silicium***
Doctorat :	1^{er} **février 1994: Doctorat d'université de et l'université Claude Bernard – Lyon I (directeur de thèse: Yves Robert)** ***Parallélisation automatique : du modèle systolique à la compilation de nids de boucles***
Autres grades :	**Ancien élève École Normale Supérieure de Lyon (promotion 1987).** **DEA d'informatique fondamentale de l'ENSL (1990).** **Agrégation de mathématiques (1991).**

CURSUS

avant 1987	**scolarité, classes préparatoires à Marseille.**
1987-1992	**Fonctionnaire stagiaire à l'ENS de Lyon (service militaire à Toulon en tant que scientifique du contingent en 1991-92).**
1992-1993	**Allocataire moniteur normalien à l'université de Grenoble 1 (UJF).**
1993-1994	**Agrégé préparateur à l'ENS de Lyon.**
1994-1998	**Chargé de recherche** $2^{ème}$ **classe Inria dans le projet Api de l'Irisa (Unité de Rennes).**
1998-2000	**Chargé de recherche** $1^{ère}$ **classe Inria dans le même projet.**

SITUATION ACTUELLE

Situation au 26 février 2001:	**Chargé de recherche** $1^{ère}$ **classe Inria (projet Cosi).**
Domaine de recherche:	**Compilation/parallélisation de circuits spécialisés.**

2.2 Activités de recherche

Mon travail de recherche a été fortement influencé par la communauté française de parallélisation automatique. Pendant ma thèse, sous la direction d'Yves Robert au Lip à lyon, j'ai travaillé sur l'algorithmique systolique et ses liens avec la parallélisation automatique. Après mon recrutement comme chargé de recherche Inria, je me suis attaché à démontrer la faisabilité d'un outil de compilation de circuits réguliers utilisant les techniques polyédriques. Mon activité de recherche a donc toujours été centrée sur la parallélisation automatique, d'abord d'un point de vue théorique en ciblant les réseaux systoliques ou les machines parallèles (parallélisation automatique) puis, de façon plus pratique en ciblant les circuits spécialisés (Systèmes enfouis, System On Chip, FPGA) avec le développement du logiciel MMAlpha.

2.2.1 Travail de thèse

Mon travail de thèse a débuté avec l'étude de l'algorithmique systolique [11, 10, 21, 9, 18], en particulier des réseaux systoliques linéaires [23, 4]. J'ai ensuite étudié une méthodologie pour assouplir la contrainte de localité du modèle systolique et j'ai effectué des expérimentations sur la Maspar [22, 19, 16]. Rapidement, les liens avec la parallélisation de nids de boucle ont été exploités [17]. J'ai donc, en particulier, étudié le pavage (ou *tiling*) [15, 8, 14, 6] et le modèle polyédrique appliqué à la génération de code [7]. Ces travaux sont rassemblés dans ma thèse [2] dans laquelle j'ai essayé de mettre en avant les relations entre la synthèse de réseaux systoliques et la parallélisation automatique.

2.2.2 Travail à l'Irisa

Les résultats de ma thèse, relativement théoriques, m'ont poussé à rechercher un terrain plus propice à une expérimentation effective des techniques polyédriques pour la compilation de circuits. Je l'ai trouvé dans le projet Api de l'Irisa, d'abord sous la direction de Patrice Quinton puis sous la direction de Sanjay Rajopadhye (projet Cosi). Ce projet possède la particularité de mêler des chercheurs travaillant sur la synthèse de circuits (domaine de l'électronique) et des chercheurs travaillant sur la compilation (domaine de l'informatique). Cette double compétence a permis de développer le prototype de compilateur/paralléliseur de circuits MMAlpha. Ce logiciel a servi de support à plusieurs thèses et est un des seuls outils actuels permettant la synthèse de très haut niveau (c'est à dire incluant la parallélisation) de circuits spécialisés. Mes travaux se sont centrés sur cet axe principal ; je les ai classés en trois catégories : ceux sur l'algorithmique systolique ou (plus généralement) parallèle, ceux sur le modèle polyédrique et ceux sur la compilation/parallélisation de circuits.

Algorithmique systolique Bien que peu utilisables directement, les travaux sur l'algorithmique systolique permettent de comprendre les structures sous-jacentes des algorithmes réguliers et la manière d'exhiber leur parallélisme intrinsèque. J'ai continué à travailler sur le problème du chemin algébrique [3, 5, 6]. J'ai aussi étudié les applications liées au codage [4], à l'analyse d'images (estimation de mouvement) [1, 2, 5].

Modèle polyédrique Le développement du modèle polyédrique est resté au centre de mes préoccupations puisque sa viabilité était la condition sine qua none pour que les travaux sur la compilation de circuits avec MMAlpha aboutissent. J'ai participé en permanence à la diffusion de ce modèle en faisant connaître le formalisme Alpha et le logiciel MMAlpha ainsi qu'en aidant à la diffusion de la librairie polyédrique Polylib (utilisée actuellement dans de nombreux prototypes de paralléliseurs). J'ai participé à l'extension du modèle polyédrique en introduisant la structuration des équations récurrentes [13, ?, 3] puis en proposant une extension de la librairie polyédrique aux Z-polyèdres [11, 4, 1]. J'ai aussi étudié l'utilité du modèle pour la spécialisation de code [9].

Compilation/parallélisation de circuits C'est l'axe central de mes recherches. J'ai effectué la gestion du système MMAlpha qui a servi de plate-forme logicielle à la composante "synthèse de très haut niveau" du projet Api (puis Cosi). Cette plate-forme a permis d'expérimenter une méthodologie de conception de circuits spécialisés à partir de spécifications fonctionnelles de haut niveau (langage Alpha [4]). J'ai étudié toutes les étapes d'une telle compilation: l'uniformisation [2], l'ordonnancement [7, ?], la génération d'une description de niveau transfert de registre puis de code VHDL [10], l'interfaçage des architectures résultantes [2, 3], la simulation et la vérification formelle des architectures [9, 1, 5], et enfin les performances des architectures obtenues pour diverses applications [10, 1, 1]. J'ai pu ainsi maintenir, pour les chercheurs de $3^{ème}$ cycle de l'équipe en particulier, une plate-forme de prototypage rapide qui permet d'expérimenter n'importe quel traitement de la compilation/parallélisation de circuits. Grâce à ces efforts, l'outil MMAlpha est maintenant dans le domaine public et a été utilisé temporairement hors de l'Irisa : à Reading (Angleterre) [2], à Trois-Rivières (Canada) [?, 3] à Calcutta (Inde, dans le cadre du projet Corcoop), et il est toujours développé conjointement avec Doran Wilde à Brigham Young University (Utah, États-Unis). J'espère pouvoir en faire une plate-forme standard au niveau mondial pour expérimenter diverses stratégies de synthèse de circuits spécialisés parallèles.

Résumé des publications En section 2.5 on trouvera le détail des publications. J'ai participé à la publication de **neuf articles dans des revues avec comité de lecture**, et de **vingt-deux articles dans des conférences avec comité de lecture**. S'ajoute à cela la rédaction de **deux chapitres de livres**. À ce jour **quatre nouveaux articles** ont été soumis à des revues et sont en phase de relecture.

2.3 Activités d'enseignement

L'enseignement fait, à mon avis, parti intégrante du travail de chercheur. Pour le chercheur, il permet d'avoir un contact avec l'environnement : relations avec d'autres enseignants-chercheurs, participation à la vie scientifique du laboratoire et de l'université associée et surtout apprentissage "sur le tas" de la pédagogie (processus qui demande du temps et de la pratique). Pour l'étudiant, cela permet plus de diversité dans les formations des enseignants, donc des horizons plus ouverts et cela peut faciliter l'accès à la recherche pour certains. Depuis 1992, j'effectue en moyenne 50 à 60 heures de cours (équivalent TD) par an, je détaille ci-dessous les enseignements que j'ai donnés, d'abord durant la période durant laquelle j'étais à Lyon, puis la période où j'étais à Rennes.

2.3.1 Enseignements à L'ENS Lyon et à l'université de Grenoble 1

En passant par les statuts de normalien, militaire, moniteur puis agrégé préparateur, j'ai eu plusieurs contacts avec l'enseignement en divers lieux. Au début les cours se limitèrent à la programmation en Pascal puis se diversifièrent à partir de 1994. Ces enseignements sont détaillés en table 1.

Année	Statuts	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1990-91	Normalien (ENS Lyon)	30 h	Deug, université de Lyon 1	TP de programmation (Pascal)
1991-92	Scientifique du contingent	40 h	École d'ingénieur intégrée à l'université de Toulon	Colles de programmation (Pascal)
1992-93	Moniteur (U. Grenoble 1)	64 h	Deug A1 université de Grenoble 1	Cours et TP de programmation (Pascal)
1993-94	Agrégé préparateur (ENS Lyon)	80 h	Magistère informatique ENS 1^{ere} année	TD du cours "Introduction à l'algorithmique" (30 h), TD du cours "Mathématiques pour l'informatique, algèbre et graphes" (16h), TD du cours "Algorithmique avancée" (30h)

TAB. 1: Enseignements à Lyon et Grenoble (1990-1994)

2.3.2 Enseignements à l'université de Rennes 1

En plus des cours de DEA donnés dans le module OPPA (en visio-conférence avec Brest) et ALPA (tronc commun du DEA), j'ai participé à la mise en place d'un enseignement original : l'introduction à l'informatique par Mathematica. Cet enseignement, lancé par Patrice Quinton, a été utilisé en DEUG "Science de la Matière" et est en passe de s'étendre à d'autre formations. J'ai participé à la mise en place des cours, des TD et des TP et j'ai dispensé l'enseignement dans le cadre d'une équivalence du DEUG SM pour les futurs officiers de l'école de Coetquidan. J'ai pu ainsi assister aux évolutions pédagogiques, à la "vie" du cours sur plusieurs années. Ce cours était aussi particulièrement intéressant pour moi du fait que nous développions le logiciel MMAlpha en Mathematica. La table 2 détaille les cours que j'ai donnés de 1994 à 2000.

2.3.3 Organisation du DEA de Rennes 1

J'ai participé activement à l'organisation du DEA d'informatique de l'université de Rennes 1 à partir de l'année 1996 (nombre d'étudiants variant entre 35 et 60). Sous la direction de Bruno Arnaldi puis de Francois Bondin, nous avons, avec Stephane Donikian organisé plus particulièrement les modules du DEA qui n'étaient pas des cours : module d'étude bibliographique, module du colloque du DEA (exposés par les étudiants), module Meta (conférences dans le cadre du DEA) et mise en place des jurys de soutenance. Ces modules ont acquis de plus en plus d'importance du fait qu'ils révèlent la capacité des étudiants à s'investir dans un travail de recherche personnel. J'ai aussi participé à la commission pédagogique du DEA qui était chargée de faire une proposition pour la réforme du DEA, réforme qui a eu lieu en 1999. Cette expérience m'a beaucoup appris au niveau de la gestion des relations à l'intérieur d'un laboratoire, le DEA étant une filière particulièrement sensible car elle représente la voie principale d'accès à la recherche.

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1995-96	40 h	DEUG SM de l'université de Rennes 1	Introduction à la programmation par Mathematica. Mise en place du cours et rédaction du polycopié en collaboration avec P. Quinton, S. Rajopadhye et D. Py, puis enseignement pour l'EMIA (école militaire de Coetquidan), dans le cadre d'un accord avec l'université de Rennes 1 (équivalence du DEUG).
1996-97	40 h	DEUG SM de l'université de Rennes 1	Mêmes enseignements qu'en 1995-96 (Mathematica).
1997-98	50 h	DEUG SM de l'université de Rennes 1 et DEA informatique Rennes 1	10h dans le module "Optimisation et Parallélisme (OPPA)" du DEA informatique de l'université de Rennes 1 (filière brestoise), plus l'enseignement de Mathematica (40h).
1998-99	70 h	DEUG SM de l'université de Rennes 1 et DEA informatique Rennes 1	10 heures dans le module "Algorithmique du parallélisme (ALPA)" de l'université de Rennes 1, 10 heures dans le module OPPA, plus l'enseignement de Mathematica remanié (50h).
1999-2000	60 h	DEUG SM de l'université de Rennes 1 et DEA informatique Rennes 1	Mêmes enseignements qu'en 1998-99 (moins le module OPPA supprimé du DEA), plus 3h de cours de formation continue "Synthèse de circuits spécialisés" à l'école Supelec.

TAB. 2: Enseignements à Rennes en tant que chargé de recherche (1994-2000)

2.4 Encadrement et participation à la vie scientifique

2.4.1 Encadrement de thèse

Durant mon passage dans le projet Api, l'encadrement des chercheurs de $3^{ème}$ cycle s'est naturellement fait en commun avec Patrice Quinton et Sanjay Rajopadhye du fait que nous travaillions tous les trois sur le pôle "Synthèse de très haut niveau" dans le projet Api/Cosi. J'ai mis, à titre indicatif, des *pourcentages d'encadrement* que j'ai estimés grossièrement. Ces chiffres ne sont pas précis, il sont là pour rappeler que je n'ai pas encadré seul. Les publications de la section 2.5 témoignent de ce travail avec les jeunes chercheurs.

J'ai participé activement à l'encadrement des quatre étudiants suivants : Florent Dupont de Dinechin (thèse soutenue en 1997, encadrement à 40%), Patricia Le Moenner (thèse soutenue en 1997, encadrement à 30%), Sophie Robert (thèse soutenue en 1997, encadrement à 50%), Anne Claire Guillou (thèse en cours, encadrement à 50%). J'ai travaillé, sans véritablement "encadrer", avec les jeunes chercheurs suivants : Michèle Dion (à Lyon, thèse soutenue en 1997, encadrement à 10%), Irina Smarandache (thèse soutenue en 1997, encadrement à 20%), Clémentin Tayou Djamegni (thèse soutenue en 1998, encadrement à 10%), Fabien Quilleré (rédaction en cours, encadrement à 10%), Erwan Fabiani (thèse en cours, encadrement à 10%), Steven Derrien (thèse en cours, encadrement à 10%).

J'ai encadré les sept étudiants de DEA suivants : Pierre-Yves Calland (1994 à Lyon), Stephane Geogeault (1995), Bachir Djafri (1995), Alain Gautreau (1996), Guillaume Giacobi (1997), Erwan Fabiani (1997), Djamel Zegaoui (2000). J'ai aussi encadré de nombreux stages grâce aux liens forts de l'équipe avec la formation d'ingénieur Diic de l'université de Rennes 1, ainsi que plusieurs séjours d'étudiants étrangers.

2.4.2 Rédaction et suivi de contrats

J'ai participé au suivi des contrats suivants: NANA2 (projet Esprit BRA, à Lyon puis à Rennes), ASAR (projet MENESR), CAIRN (contrat CNET), PORTAIT (projet Européen copernicus), REMIT (projet PAI Alliance avec l'angleterre), DIA (projet de l'université virtuelle francophone), CORCOP (projet Cefipra avec l'Inde), MOCAT (projet régional), RCMC (projet inter-régional). Parmi ces projets j'étais le responsable principal (du coté du projet Api) dans CAIRN et REMIT.

2.4.3 Vie scientifique

J'ai participé activement à la vie scientifique du projet Api puis Cosi. Outre l'organisation régulière de réunions techniques autour d'Alpha ou des projets mentionnés ci-dessus, je m'occupe de la mise en forme du rapport d'activité du projet depuis 1995. Au niveau du laboratoire, j'ai déjà mentionné en section 2.3.3 ma participation à l'organisation du DEA d'informatique de Rennes 1 ainsi qu'à la mise en place de son renouvellement. J'ai aussi, avec Patrice Quinton et Yves Robert récemment relancé les réunions entre les membres de la communauté française de parallélisation automatique (ex-membres du projet PRC C^3). Ces réunions informelles ont lieu approximativement deux fois par an et sont très animées.

2.4.4 Divers

Je pense que la mise dans le domaine public du logiciel MMAlpha (précédé par le dépôt à l'association de protection des programmes) a constitué un travail suffisamment important pour être mentionné ici.

J'ai aussi, en collaboration avec Yannick Saouter, fait une tentative de dépôt de brevet pour une architecture originale pour le calcul de PGCD de polynômes (traitement utilisé en codage).

Je participe activement au processus de relecture des publications scientifiques (environ 40 relectures à ce jour), pour des revues (Parallel Processing Letter, Integration, IEEE TC, TSI, ...) et des conférences (ASAP, EUROPAR, CARI, ...).

2.5 Publications

Thèses et habilitations

[1] T. Risset. *Contribution à la compilation de nids de boucles sur silicium.* Thèse d'habilitation à diriger des recherches, Université de Rennes 1, octobre 2000.

[2] T. Risset. *Parallélisation automatique: du modèle systolique à la compilation de nids de boucles.* Thèse de doctorat, Université Claude Bernard de Lyon, février 1994. Disponible comme rapport LIP PhD94-03.

Publications dans des journaux internationaux et chapitres de livre

[1] E. Mémin et T. Risset. « VLSI Design Methodology for Edge-Preserving Image Reconstruction ». *Real-Time Imaging, Special issue on Fast Energy Minimization-Based Imaging and Vision Techniques* **7**, numéro 1 (février 2001), 109–126.

[2] E. Mémin et T. Risset. *International Journal of pattern recognition and Artificial Intelligence (IJPRAI)* **14**, numéro 4, 441–463.

[3] C. T. Djamegni, P. Quinton, S. Rajopadhye et T. Risset. « Derivation of Systolic Algorithms for the Algebraic Path Problem by Recurrence Transformations ». *Parallel Computing* (2000). in press.

[4] P. Quinton, S. V. Rajopadhye et T. Risset. « On Manipulating Z-polyhedra using a Canonical Representation ». *Parallel Processing Letters* **7**, numéro 2 (juin 1997), 181–194.

[5] T. Gautier, P. Le Guernic, P. Quinton, S. Rajopadhye, T. Risset et I. Smarandache. « Le projet Cairn : vers la conception d'architectures à partir de Signal et Alpha ». Dans *Collection Technique et scientifique des Télécommunications*. CNET, 1997.

[6] M. Dion, T. Risset et Y. Robert. « Ressource-Constrained Scheduling of Partitioned Algorithms on Processor Arrays ». *Integration the VLSI journal* **20** (1996), 139–159.

[7] J. Collard, P. Feautrier et T. Risset. « Construction of DO Loops from Systems of Affine Constraints ». *Parallel Processing Letters* **5** (1995), 421–436.

[8] P. Boulet, A. Darte, T. Risset et Y. Robert. « (Pen)-Ultimate Tiling? ». *Integration, the VLSI journal* **17** (novembre 1994), 33–51.

[9] A. Darte, T. Risset et Y. Robert. *Application-Driven Architecture synthesis*. Kluwer Academic Publishers, 1993, chapitre 3: Formal Methods for Solving the Algrebraic Path Problem.

[10] T. Risset et Y. Robert. « Synthesis of Processor Arrays for the Algebraic Path Problem: Unifying Old Results and Deriving New Architectures ». *Parallel Processing Letters* **1** (1991), 19–28.

[11] T. Risset. « Implementing Gaussian Elimination on a Matrix-Matrix Multiplication Systolic Array ». *Parallel Computing* **16** (1990), 351–359.

Publications dans des actes de conférences avec comité de lecture

[1] A. Guillou, P. Quinton et T. Risset. « Automatic Design of VLSI Pipelined LMS Architectures ». Dans *2000 IEEE Canadian Conference on Electrical & Computer Engineering* (Trois Rivières, Canada, août 2000).

[2] T. Risset et S. Derrien. « Interfacing Compiled FPGA Programs: the MMAlpha Approach ». Dans *Second International Workshop on Engineering of Reconfigurable Hardware/Software Objects, Int. conf. on Parallel and Distributed Processing Techniques and Applications (PDPTA)* (juin 2000), CSREA Press.

[3] A. Mozipo, D. Massicote, P. Quinton et T. Risset. « A Parallel Architecture for Adaptative Channel Equalization Based On Kalman Filter Using MMAlpha ». Dans *1999 IEEE Canadian Conference on Electrical & Computer Engineering* (Edmonton, Canada, mai 1999).

[4] T. Risset et Y. Saouter. « Synthèse de haut niveau d'un co-processeur pour le calcul des bases de Grobner ». Dans *5eme Symposium en architecture nouvelles de machines (Sympa'5)* (Rennes, juin 1999).

[5] E. Mémin et T. Risset. « Full Alternate Jacobi Minimization and VLSI Derivation of Hardware for Motion Estimation ». Dans *Int. Workshop on Parallel Image Processing and Analysis, IWPIPA'99* (Madras, India, janvier 1999).

[6] S. Rajopadhye, T. Risset et C. Tadonki. « The Algebraic Path Problem Revisited ». Dans *Fifth International Euro-Par Conference* (Toulouse, France, août 1999), pp. 698–707.

[7] S. Balev, P. Quinton, S. V. Rajpoadhye et T. Risset. « Linear Programming Models for Scheduling Systems of Affine Recurrence Equations – a Comparative Study – ». Dans *10th ACM Symposium on Parallel Algorithms and Architectures (SPAA)* (1998).

[8] A. Mozipo, D. Massicotte, P. Quinton, et T. Risset. « Automatic Synthesis of a Parallel Architecture for Kalman Filtering using MMAlpha ». Dans *International Conference on Parallel Computing in Electrical Engineering (PARELEC 98)* (Bialystok, Poland, septembre 1998), pp. 201–206.

[9] F. Dupont de Dinechin, T. Risset et S. Robert. « Hierarchical Static Analysis for Improving the Complexity of Linear Algebra Algorithms ». Dans *Internationnal Conference on Parallel Computing (PARCO)* (1997).

[10] P. Le Moenner, L. Perraudeau, S. Rajopadhye, T. Risset et P. Quinton. « Generating Regular Arithmetic Circuits with AlpHard ». Dans *Massively Parallel Computing Systems (MPCS'96)* (mai 1996).

[11] P. Quinton, S. V. Rajopadhye et T. Risset. « Extension of the Alpha Language to Recurrences on Sparse Periodic Domains ». Dans *Int. Conf. on Application Specific Array Processors* (Chicago, Illinois, 1996), IEEE Computer Society Press, pp. 391–401.

[12] M. Dion, T. Risset et Y. Robert. « Resource-constrained scheduling of partitioned algorithms on processor arrays ». Dans *EuroMicro Workshop on Parallel and Distributed Processing* (1995), IEEE Computer Society Press, pp. 571–580.

[13] F. Dupont De Dinechin, P. Quinton et T. Risset. « Structuration of the Alpha Language ». Dans *Massively Parallel Programming Models* (1995), W. Giloi, S. Jahnichen et B. Shriver, éditeurs, IEEE Computer Society Press, pp. 18–24.

[14] P.-Y. Calland et T. Risset. « Precise Tiling for Uniform Loop Nests ». Dans *Application Specific Array Processors* (1995), IEEE Computer Society Press, pp. 330–337.

[15] P. Boulet, A. Darte, T. Risset et Y. Robert. « (Pen)-Ultimate Tiling? ». Dans *Scalable High-Performance Computing Conference* (1994), IEEE Computer Society Press, pp. 568–576.

[16] T. Risset. « Applying Semi-Systolic Techniques to SIMD Programming ». Dans *Applications in Parallel and Distributed Computing (IFIP Transactions)* (1994), C. Girault, éditeur, North-Holland, pp. 103–112.

[17] A. Darte, T. Risset et Y. Robert. « Loop Nest Scheduling and Transformations ». Dans *Environments and tools for parallel scientific computing* (1993), North-Holland, pp. 309–332.

[18] T. Risset et S. Song. « A Real Time Systolic Algorithm for On-the-fly Hidden Surface Removal ». Dans *Application Specific Array Processors* (1993), IEEE Computer Society Press, pp. 238–249.

[19] T. Risset. « A Method to Synthesize Modular Systolic Arrays With Local Broadcast Facility ». Dans *Application Specific Array Processors* (1992), IEEE Computer Society Press, pp. 415–428.

[20] A. Darte, Y. Robert et T. Risset. « Systolic Systems ». Dans *2nd IEE Int. Specialist Seminar on Parallel Digital Processors* (1991), P. J. Hargrave, éditeur, volume 334 des *IEEE Conference Publication*, IEEE Press, pp. 6–10.

[21] A. Darte, T. Risset et Y. Robert. « Synthesizing Systolic Arrays: some Recent Developments ». Dans *Application Specific Array Processors* (1991), IEEE Computer Society Press, pp. 372–386.

[22] T. Risset et Y. Robert. « Uniform but Non-Local DAGs: a Trade-off between Pure Systolic and SIMD Solutions ». Dans *Application Specific Array Processors* (1991), IEEE Computer Society Press, pp. 296–308.

[23] T. Risset. « Linear Systolic Arrays for Matrix Multiplication: Comparisons of Existing Methods and New Results ». Dans *Proc. 2nd Workshop on Algorithms and VLSI parallel architecture* (1991).

Rapports de recherche non publiés par ailleurs

[1] S. P. K. Nookala et T. Risset. « A Library for Z-polyhedral Operations ». Rapport technique 1330, Irisa, Rennes, 2000.

[2] M. Manjunathaiah, S. Rajopadhye et T. Risset. « Uniformization Tool for Systolic Array Designs ». Rapport technique 1350, Irisa, Rennes, 2000.

[3] F. Bardoult, P. Quinton, S. Rajopadhye et T. Risset. « Synthesis of data-flow interfaces for regular parallel programs ». Rapport technique 1260, Irisa, septembre 1999.

[4] F. Dupont de Dinechin, P. Quinton, S. Rajopadhye et T. Risset. « First Steps in Alpha ». Rapport technique 1244, Irisa, 1999.

[5] D. Cachera, S. Rajopadhye, T. Risset et C. Tadonki. « Parallelization of the Algebraic Path Problem on Linear SIMD/SPMD Arrays ». Rapport technique 1346, Irisa, 2000.

[6] T. Risset, F. D. de Dinechin et S. Robert. « Structured Scheduling of Reccurence Equations ». Rapport technique 1140, IRISA, Rennes, France, 1997.

[7] T. Risset et Y. Saouter. « A Linear Systolic Array for the Computation of Gröbner Basis ». Rapport technique 1069, Irisa, Rennes, France, 1996.

Divers

[1] P. Quinton, T. Risset et S. Robert. « rapports d'avancement PORTRAIT ». The formal derivation in Alpha of SVD Algorithms, 1996/97.

[2] P. Quinton, T. Risset et S. Robert. « rapports d'avancement NANA2 ». Developments of layout from a piece of SVD code, 1995/96.

[3] T. Gautier, P. Quinton, S. Rajopadhye, T. Risset et I. Smarandache. « Compte-rendus d'avancement ». Contrat de recherche CAIRN, Octobre 95, Janvier 96, avril 96, juillet 96, octobre 96,Janvier 97, avril 97, juillet 97, janvier 98.

[4] T. Risset. « Réseaux systoliques linéaires: algorithmes et méthodes de synthèse ». Rapport de DEA., LIP, ENS-Lyon, 1990.