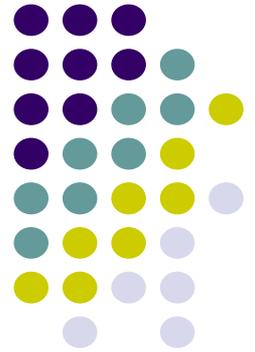


Architectures Reconfigurables : un survol

Sébastien Pillement

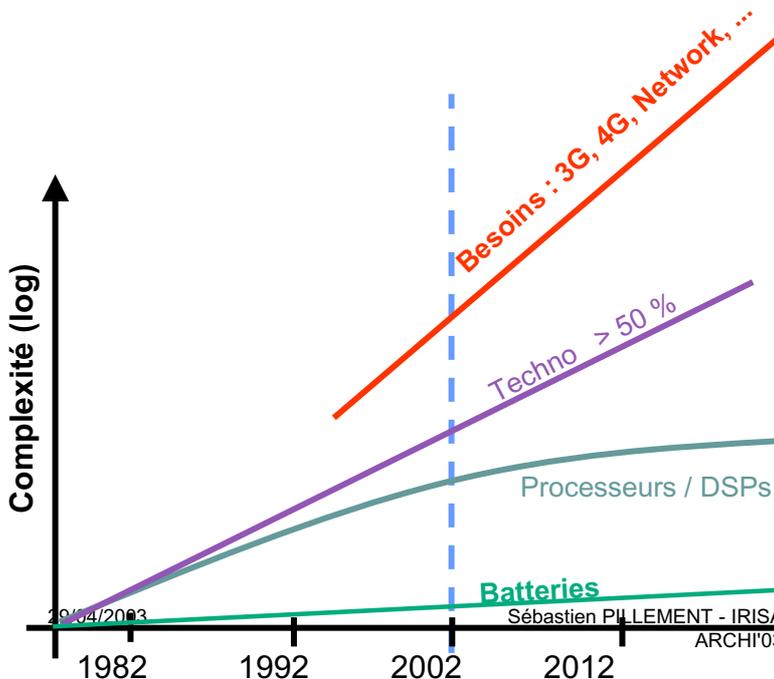
Équipe R2D2



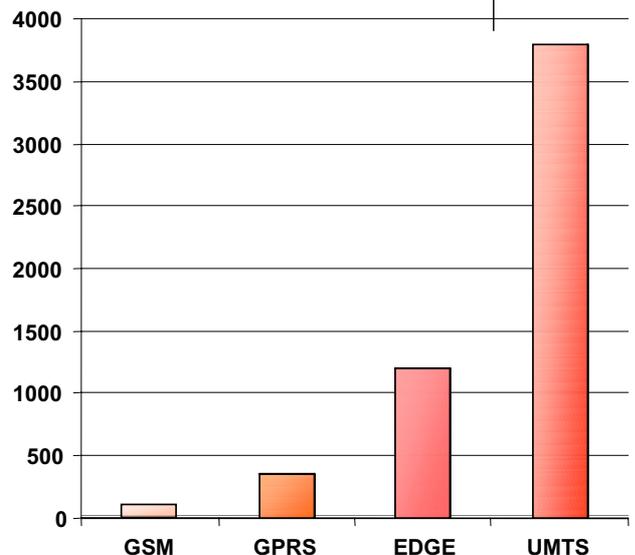
Contexte

↪ **Systèmes sur puce (« SOC ») en 2003 :**

- Technologie de 0.13 - 0.09 μm (90 nm)
- 100 millions de transistors sur une puce ...



MIPS

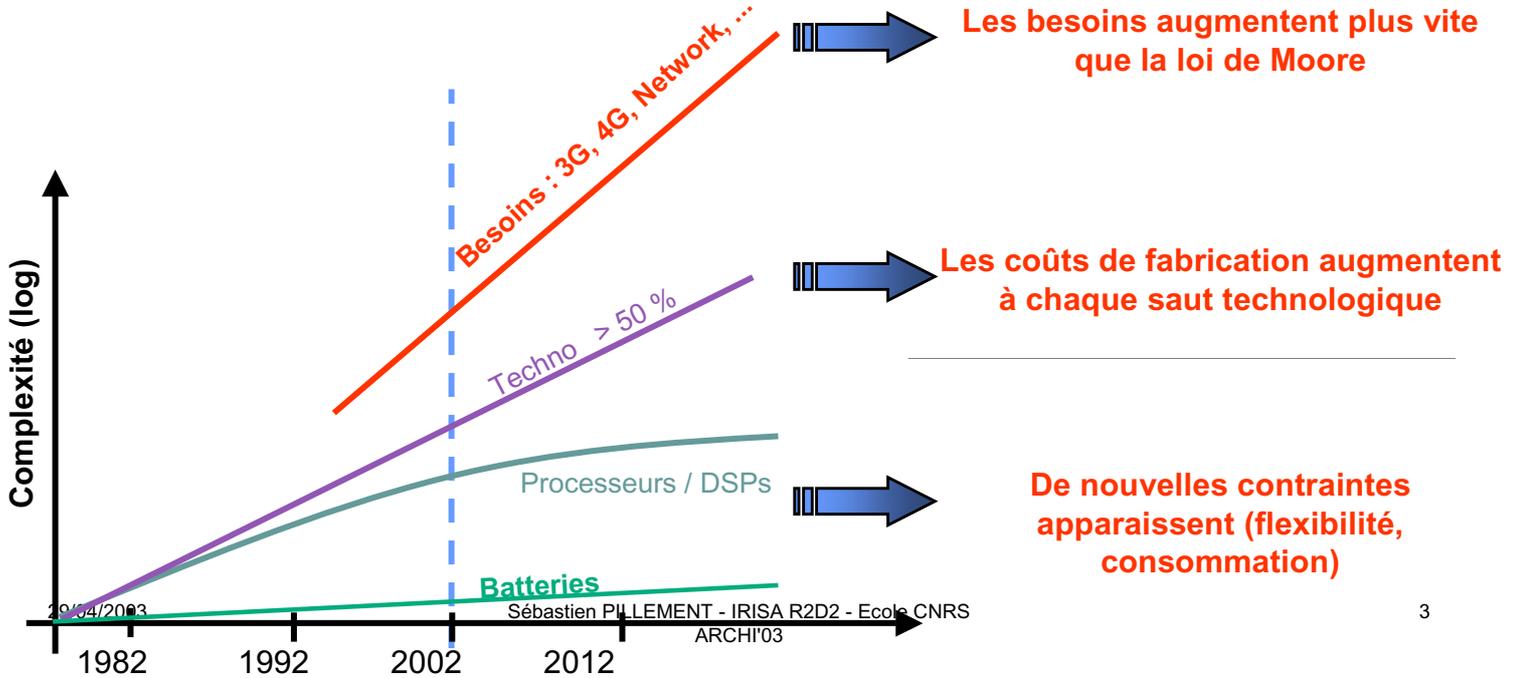




Contexte

↪ Systèmes sur puce (« SOC ») en 2003 :

- Technologie de 0.13 - 0.09 μm (90 nm)
- 100 millions de transistors sur une puce ...



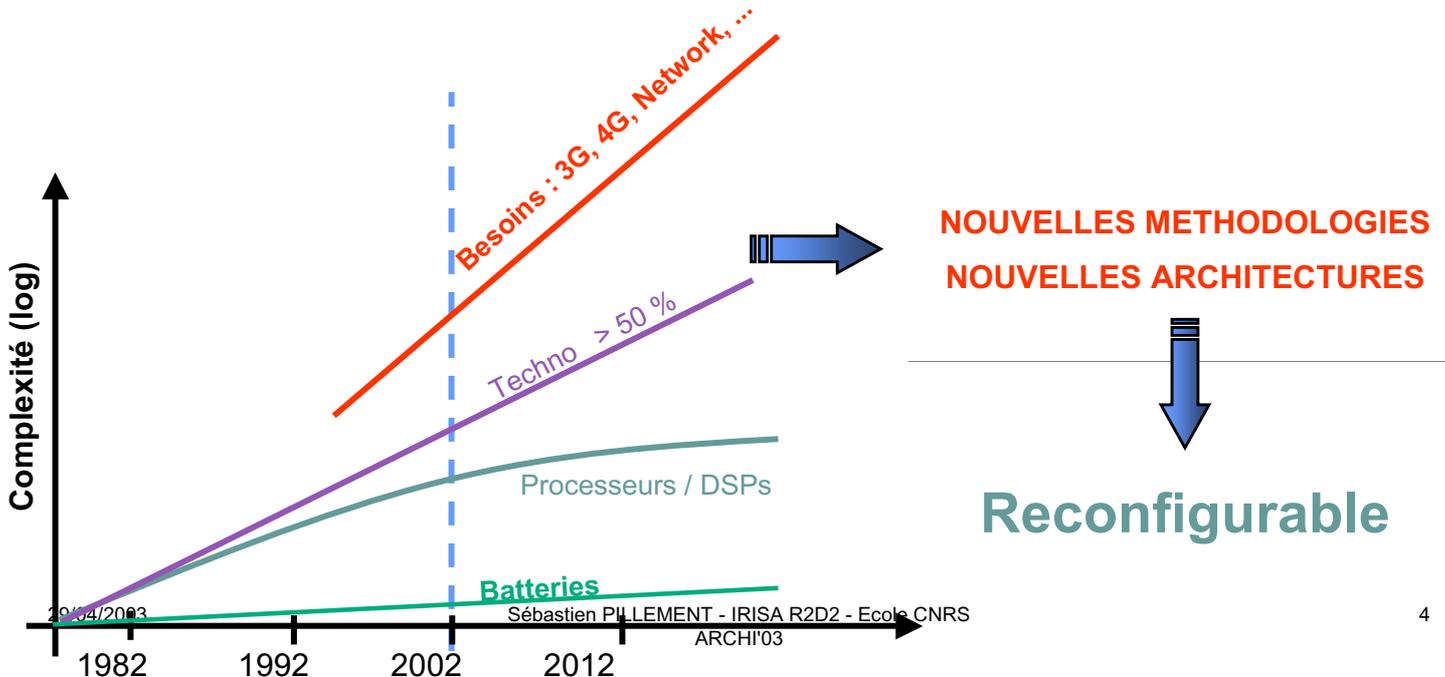
3



Contexte

↪ Systèmes sur puce (« SOC ») en 2003 :

- Technologie de 0.13 - 0.09 μm (90 nm)
- 100 millions de transistors sur une puce ...



4



Plan

- Introduction
- "Reconfigurable Computing"
- Architectures configurables
- Architectures reconfigurables
- Conclusions

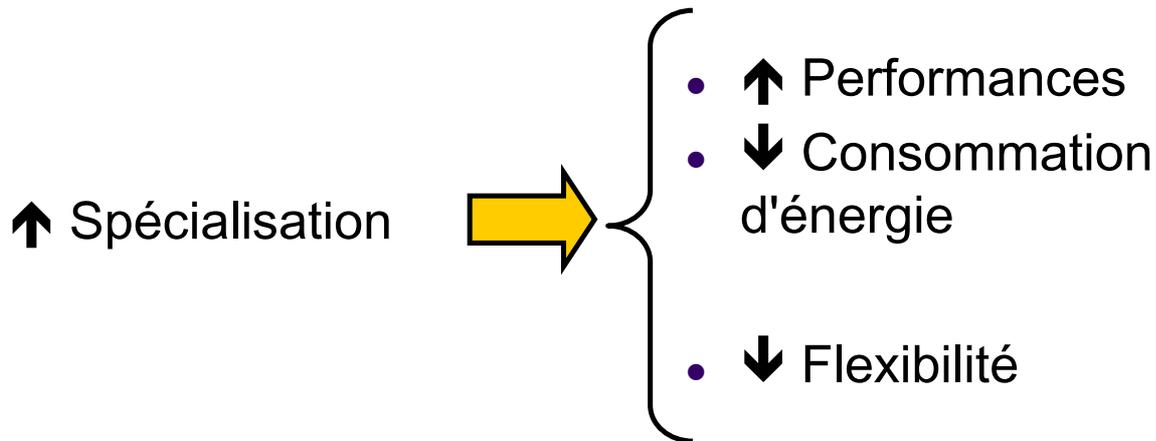
Introduction

- Le "Reconfigurable Computing"(RC) est un paradigme émergeant pour la conception de systèmes numériques
- Les avancées technologiques ont permis l'apparition de nouveaux composants reconfigurables.
- Objectifs du cours : Donner un aperçu des concepts du RC et introduire quelques architectures démontrant ces concepts.





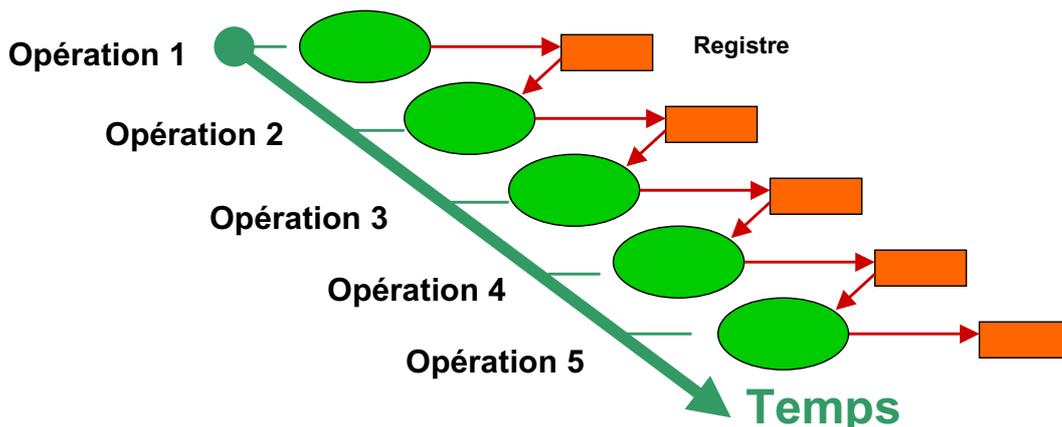
Introduction



- Objectifs de la RC :
Spécialisation, performance, flexibilité
- Idée de base : “Matériel Programmable”

Implémentation temporelle

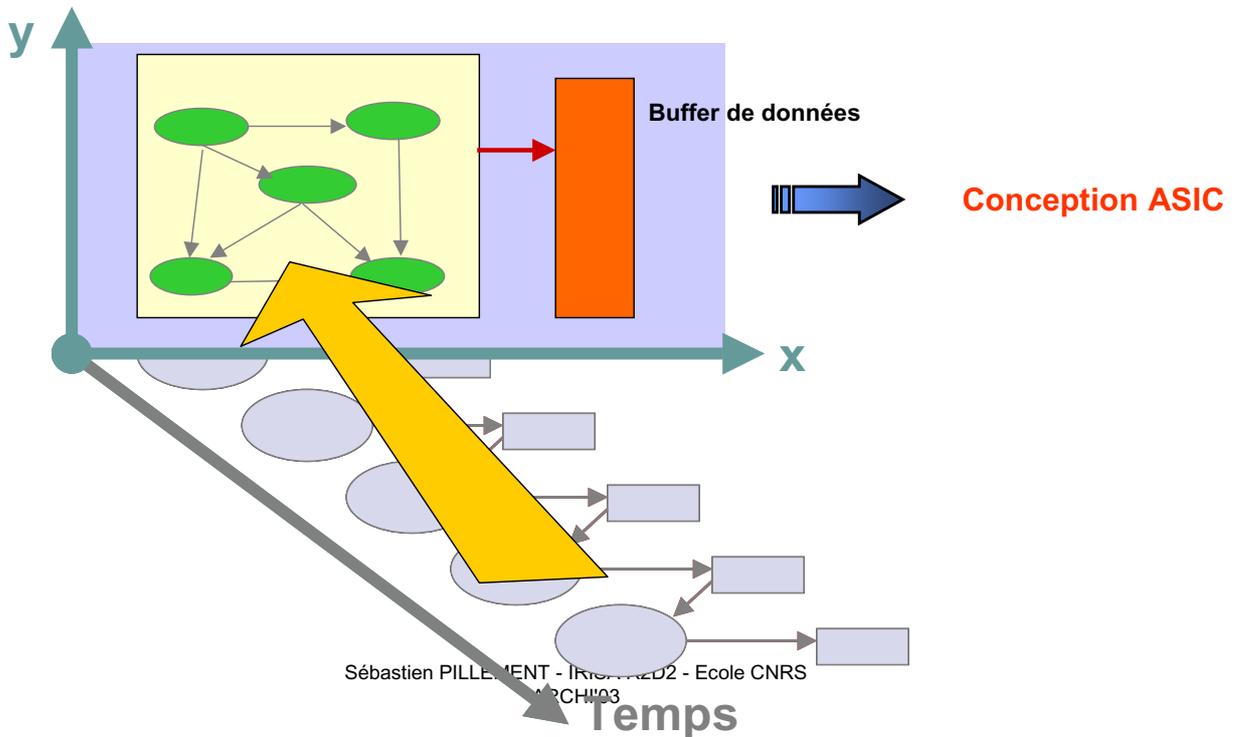
Exécution sur micro-processeur classique.





Implémentation spatiale

Plusieurs calculs sont "mappés" dans un tableau 2D. Création de sections.



29/04/2003

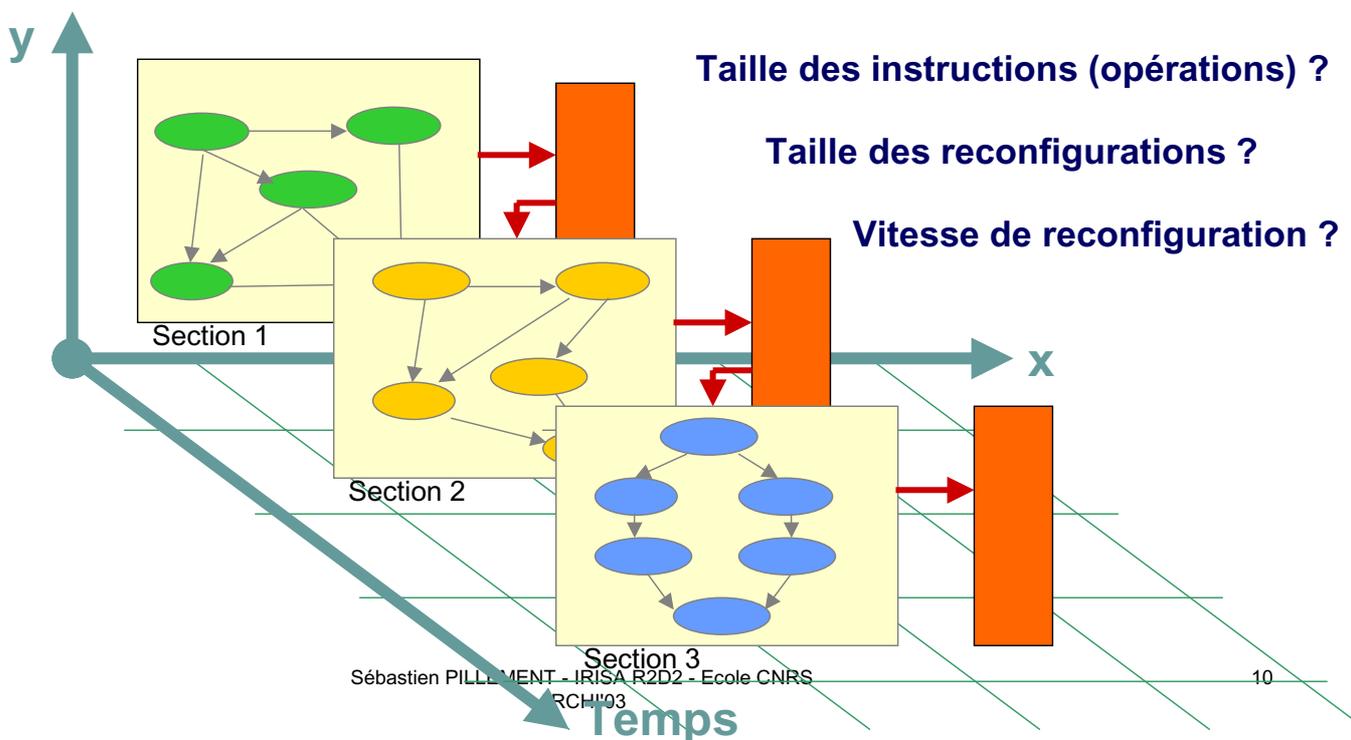
Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCH#03

9



Implémentation spatiale

Reconfiguration = Séquencement de sections.



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCH#03

10



Plan

- Introduction
- "Reconfigurable Computing"
 - Définitions
 - Généralités
 - Méthodes de Reconfiguration
 - Classification
- Architectures configurables
- Architectures reconfigurables
- Conclusions

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

11

1ère définition

- Architecture reconfigurable
- architecture dont les ressources (calcul, interconnexions, ...) peuvent être modifiées pour s'adapter à un traitement



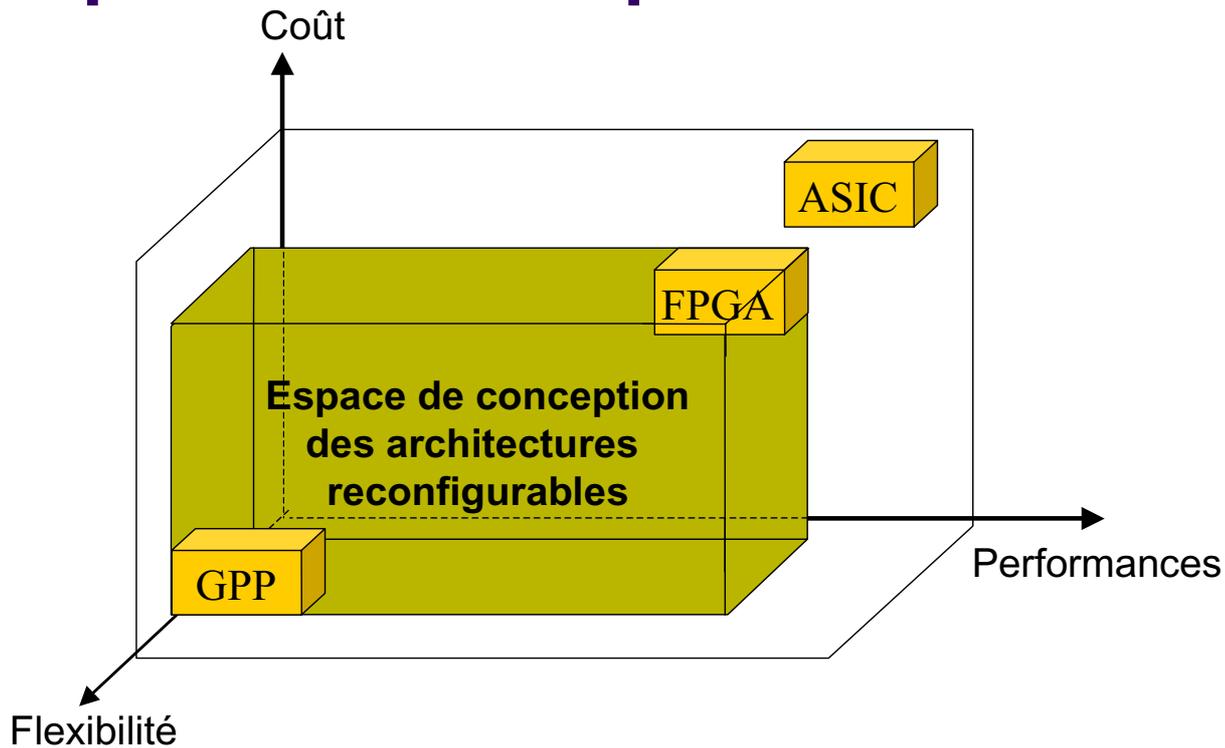
29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

12



Espace de conception



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

13

2ème définition



- Architecture reconfigurable
- architecture dont on peut au moins changer la disposition relative des ressources

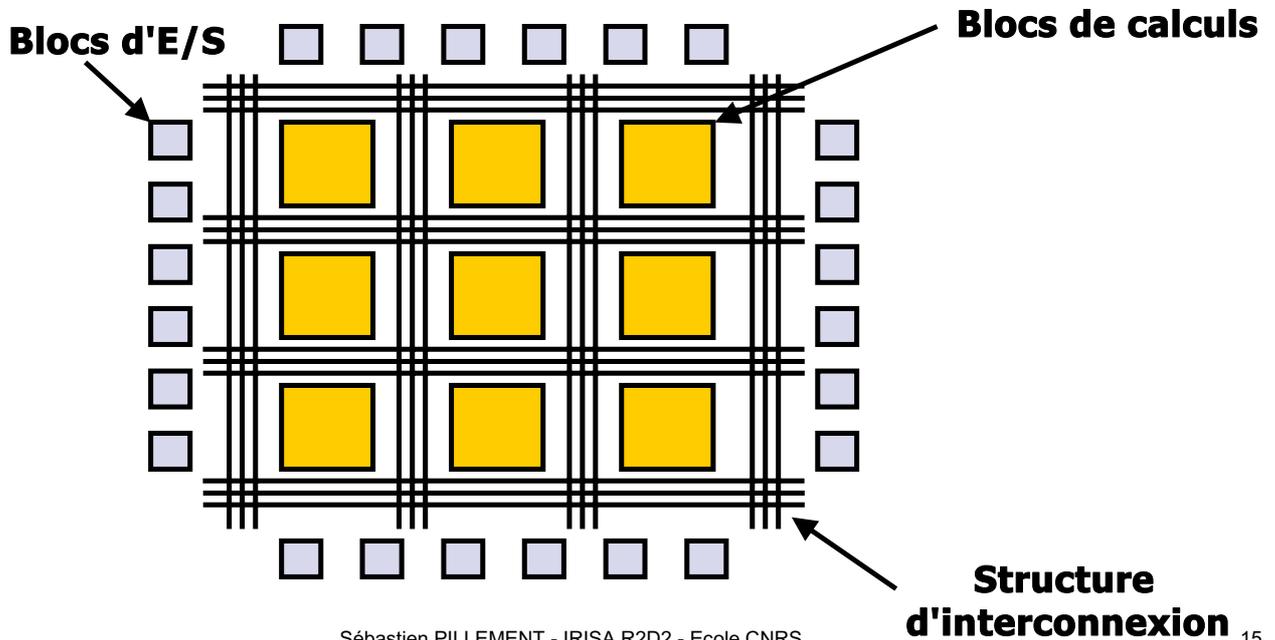
29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

14

Généralités

Architecture générique



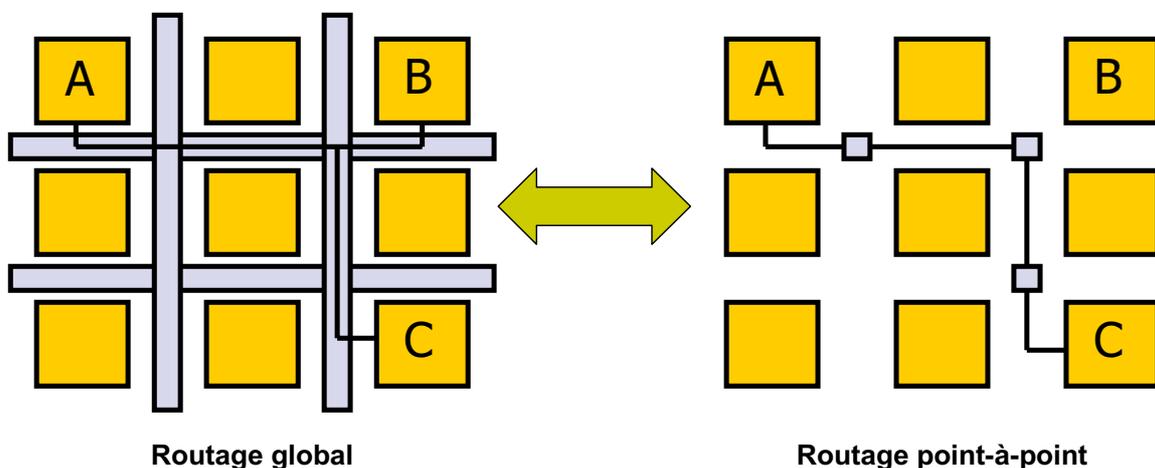
29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

15

Généralités

Stratégies de routage



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

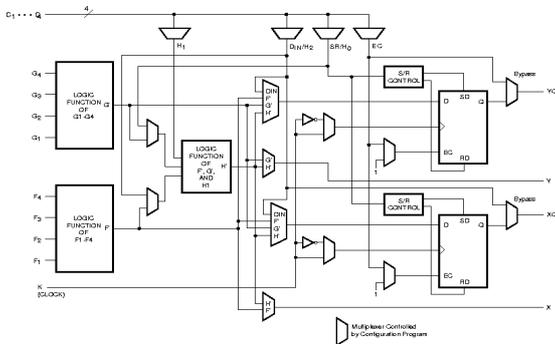
16

Généralités

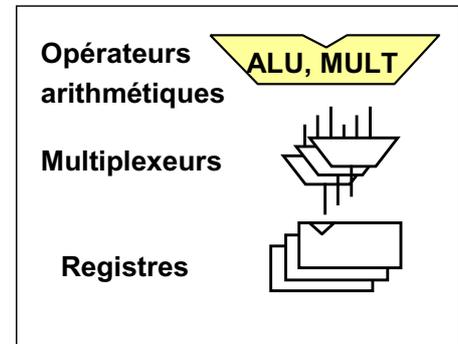
Grain des blocs de calcul



Grain fin



Grain épais



- ↑ Flexibilité
- ↓ Outils
- ↓ Opération niveau bits
- ↑ Configuration

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

17

Généralités

Granularité de la reconfiguration



- Reconfiguration au niveau système
 - Lx, C62 (décomposition en cluster)
- Reconfiguration au niveau fonctionnel
 - Pleiades, RaPiD, DART
 - Chameleon, Piperench, Morphosys
- Reconfiguration au niveau porte
 - Napa, GARP, FPGA

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

18

Généralités

Reconfiguration niveau système



- Reconfiguration
 - Fonctions d'une UAL
 - Orientation du chemin de données
- Dynamique (cycle)
- Flexibilité
- Optimisation relativement faible

Généralités

Reconfiguration niveau fonctionnel



- Reconfiguration
 - Interconnexions
 - Fonctionnalité des opérateurs
- Statique ou Dynamique
 - Fonction du nombre d'UF
- Optimisation des échanges et du modèle d'exécution
- Temps de reconfiguration

Généralités

Reconfiguration niveau porte



- Reconfiguration
 - Interconnexions
 - Logiques
- Statique (en général)
- Optimisation de l'architecture pour des calculs niveau bit
- Temps de reconfiguration, quantité d'information

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

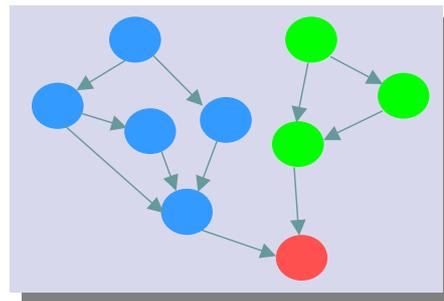
21

Généralités

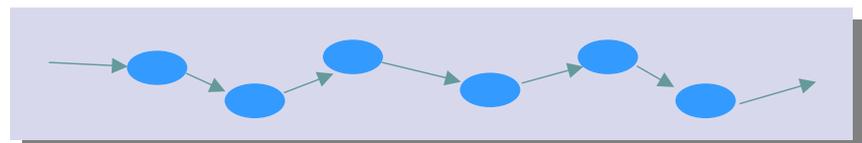
Modèles d'exécution



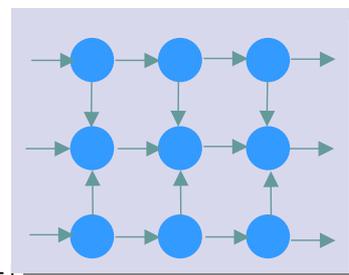
- **Instruction Level Parallelism**
Independent data paths



- **Pipelined Operation**
Classical pipeline processing



- **Systolic Operation**
Mapping of systolic algorithms



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - L
ARCHI'03

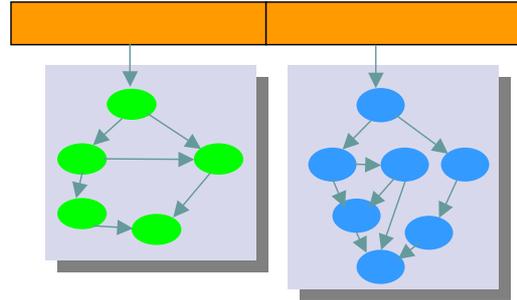
22

Généralités

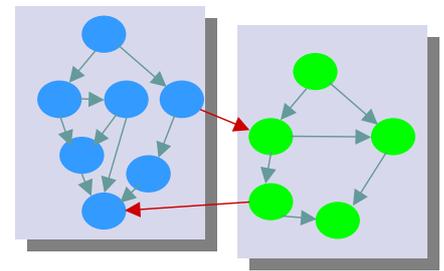
Modèles d'exécution



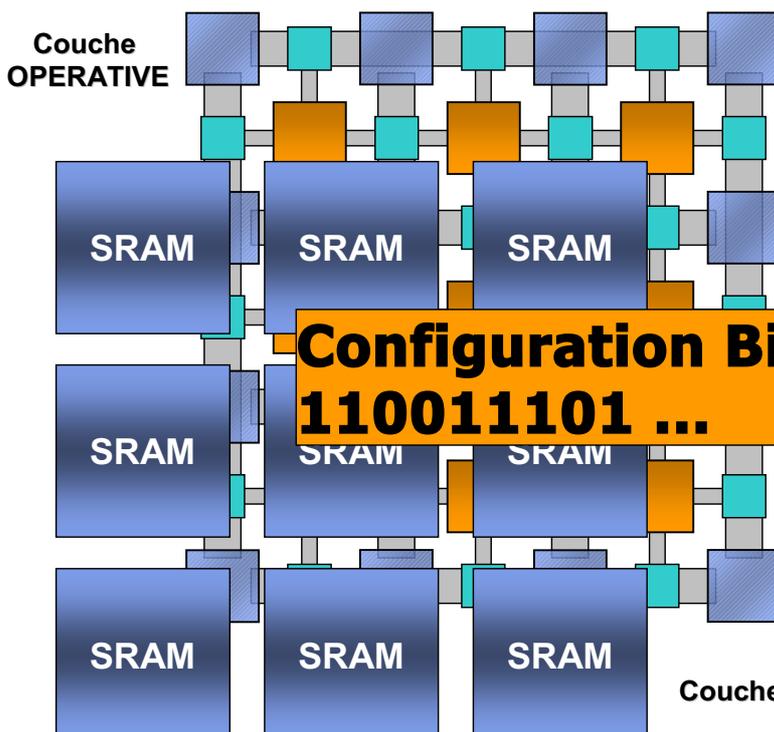
- **Multiple Parallel Instances**
Parallel Tasks operate on separate data fields



- **Multi-threading and Multitasking**
Parallel or configuration - overlaid operation, synchronized by Events



Méthodes de Reconfiguration

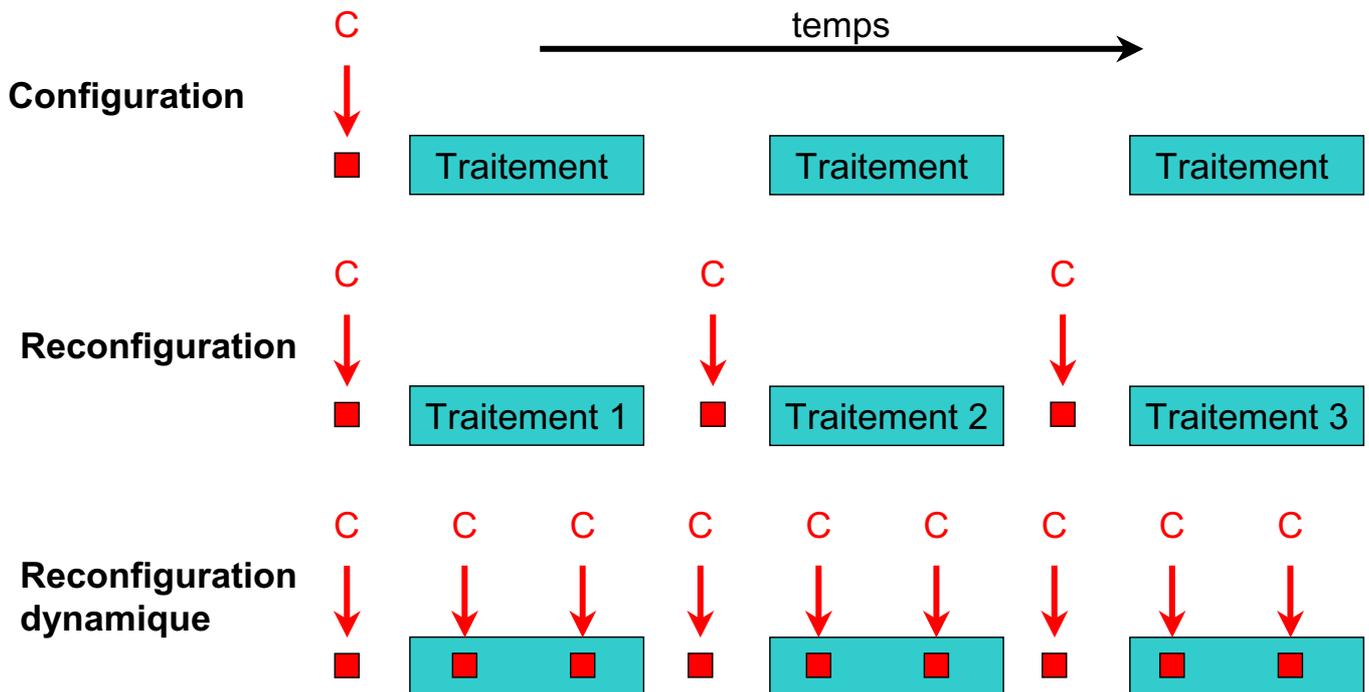


- Composants à base de SRAM offrant un nombre de reconfiguration infini.

- App 1 -> Bitstream 1
- App 2 -> Bitstream 2
- App n -> Bitstream n



Méthodes de (Re)configuration



29/04/2003

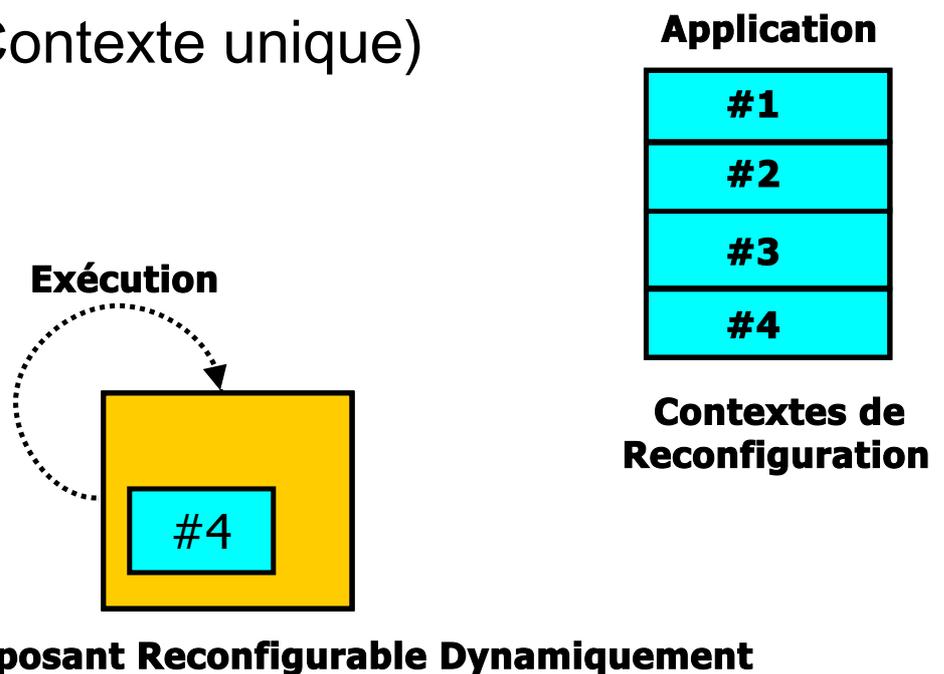
Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

25

Méthodes de Reconfiguration Stratégies de RD



- RD Globale (Contexte unique)



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

26

Méthodes de Reconfiguration

Stratégies de RD



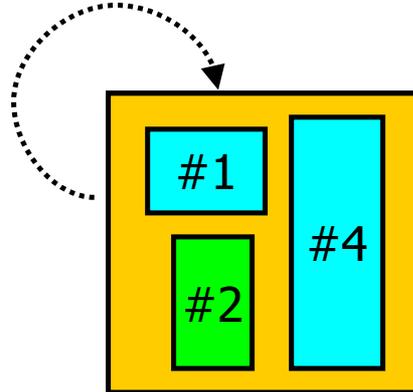
- RD Partielle (Contextes multiples)

Application



Contextes de Reconfiguration

Exécution

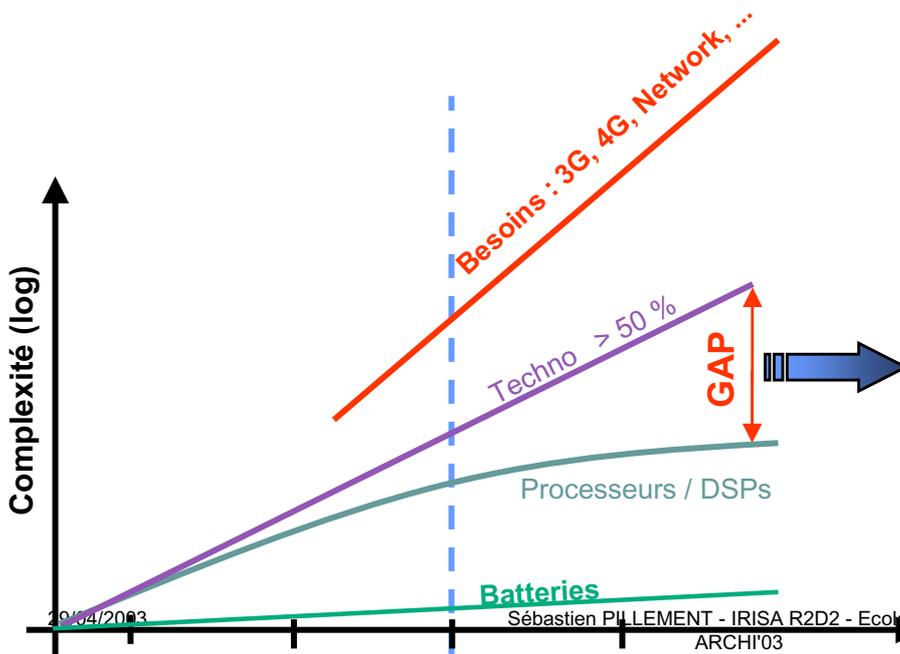


Composant Reconfigurable Dynamiquement

Classification



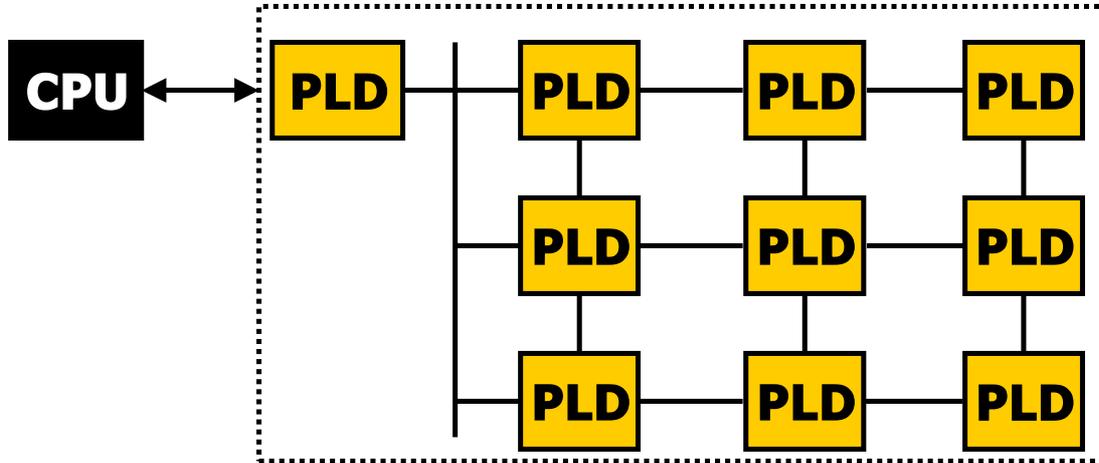
ARCHITECTURES RECONFIGURABLES
OUTILS DE VALIDATION : PROTOTYPAGE



Validation par simulation devient très difficile

Puissances de calcul augmentent moins vite que les capacités d'intégration

Prototypage Rapide Systèmes (ASIC)

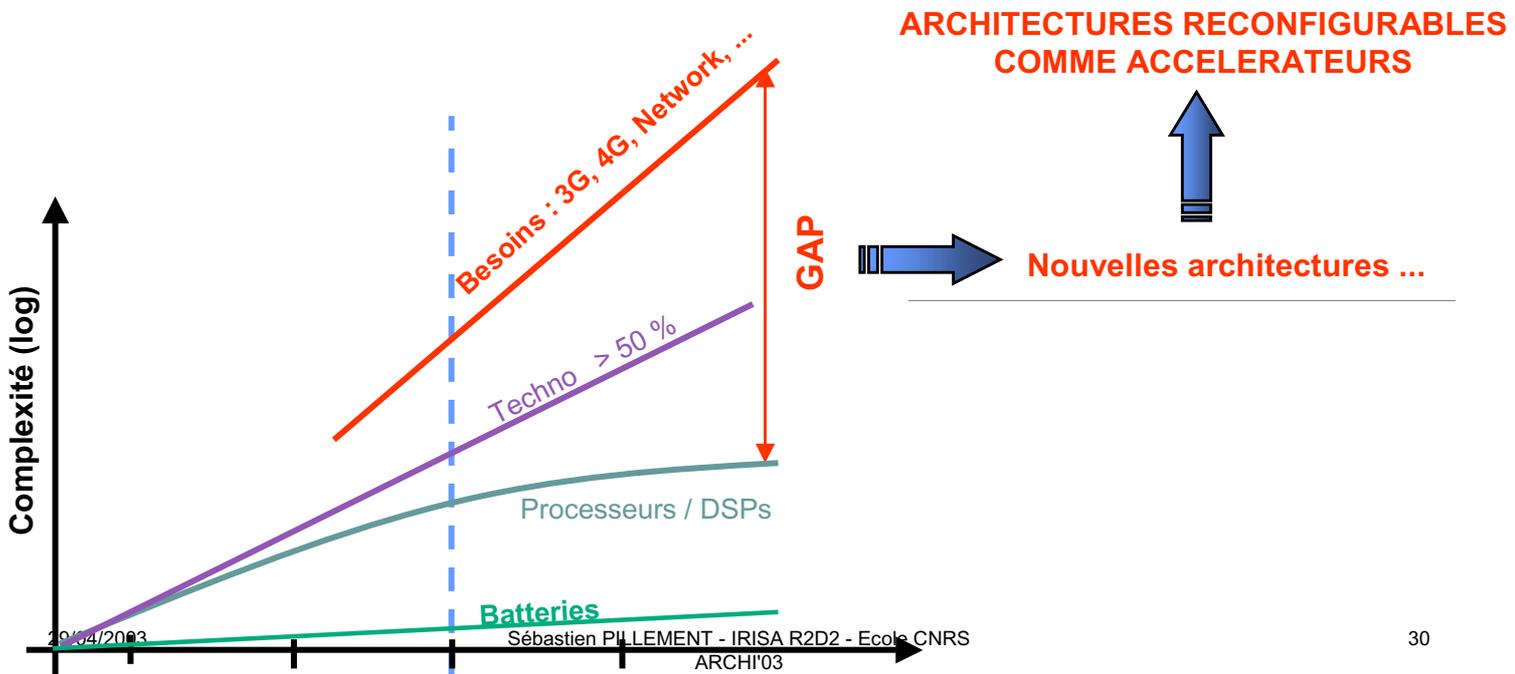


29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

29

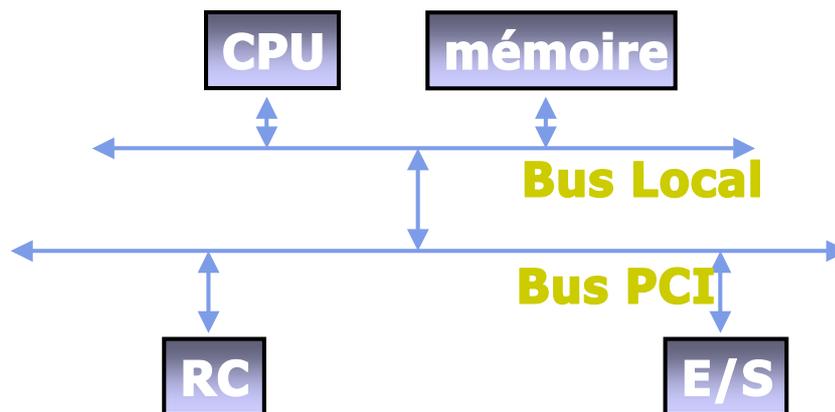
Classification



30

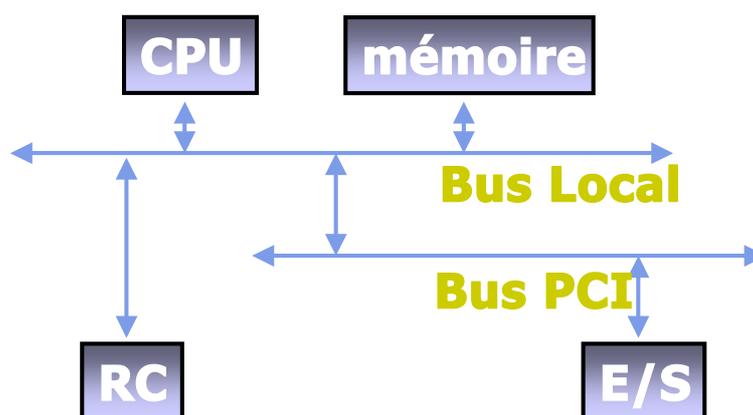


RC comme périphérique



- Couplage le plus utilisé
- Latence des communications
- Recouvrement des calculs

RC couplé au Bus Local

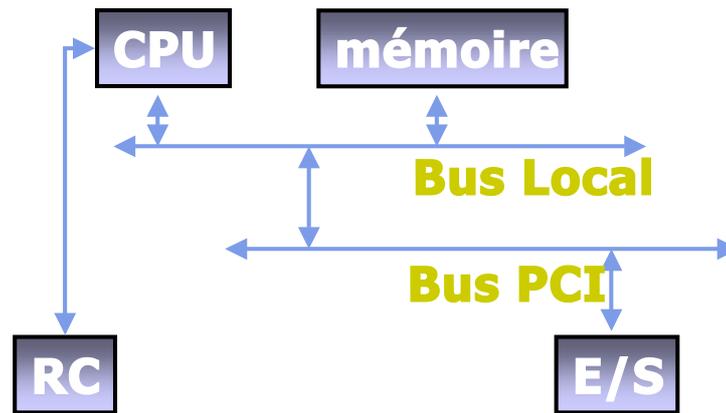


- Communications par interruptions ou instructions
- Même espace mémoire
- Partage du bus



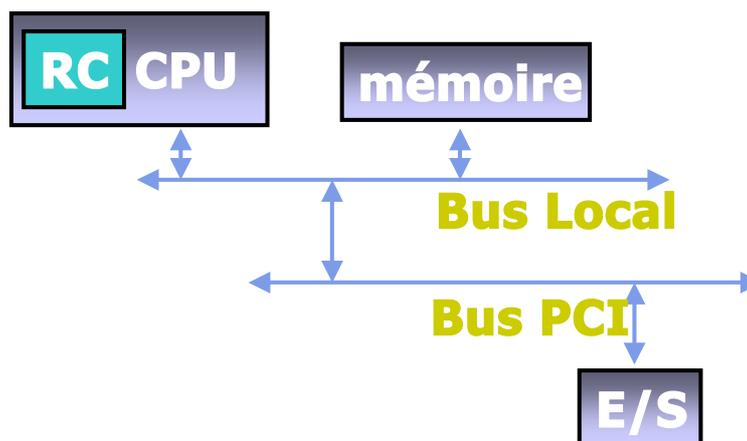


RC comme Coprocesseur



- Couplage fort entre CPU et RC
- RC est une extension de ISA
- CPU et RC ne partagent pas la file de registres

RC comme unité fonctionnelle



- Couplage le plus fort
- RC implémente unités fonctionnelles spécialisées
- Partage des ressources



Classification

- Machine autonome
 - PADDI, RaPiD, DART
- Augmentation du jeu d'instructions d'un processeur
 - GARP, RAW
- Accélérateur programmable
 - Chameleon, Pleiades, Morphics

État de l'art

- Plate-forme FPGA (arrêt en 1999)
http://www.io.com/~guccione/HW_list.html
 - 90 références
- Reconfigurable Computing
 - <http://xputers.informatik.unikl.de/papers/main.html>
 - "A decade of reconfigurable computing : a visionary retrospective" DATE 2001, R. Hartenstein
 - <http://www.site.uottawa.ca/~rabiemo/personal/rc.html>
 - 20 références (depuis 2000)





Plan

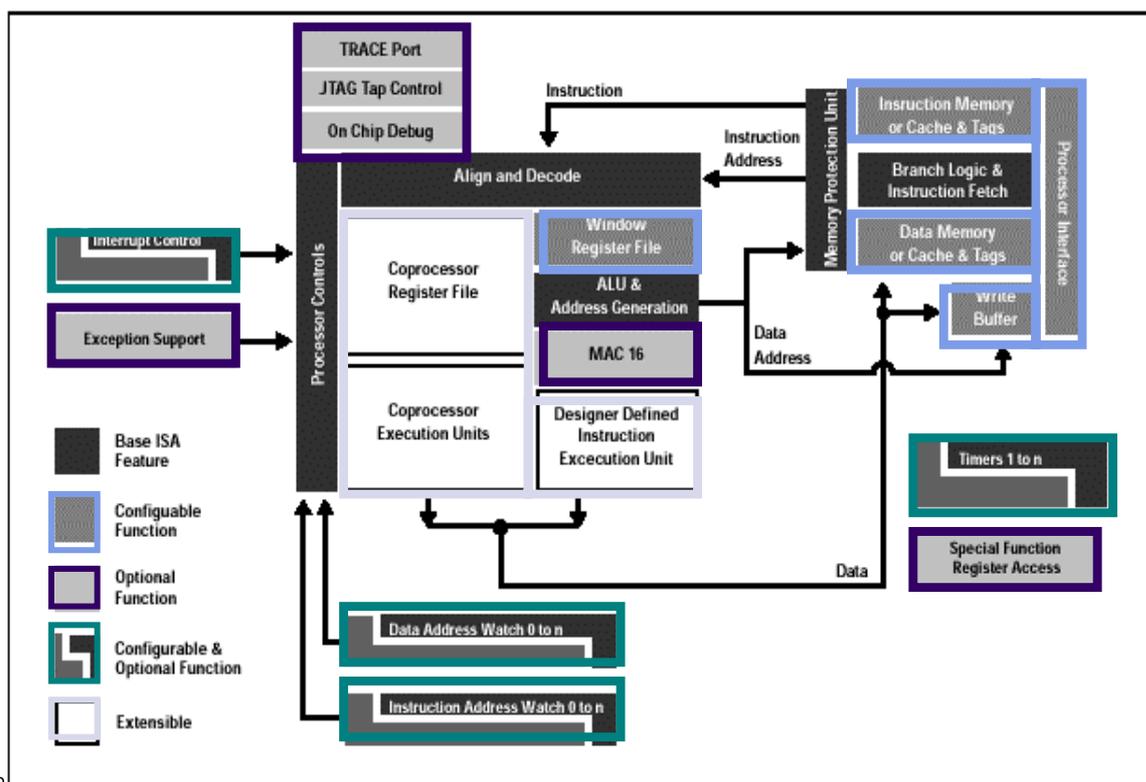
- Introduction
- "Reconfigurable Computing"
- Architectures configurables
- Architectures reconfigurables
 - Reconfiguration niveau porte
 - Reconfiguration niveau opérateur
 - Reconfiguration niveau fonctionnel
- Conclusions

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

37

Xtensa Tensilica



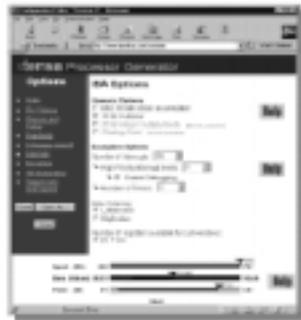
29/04/2003

ARCHI'03

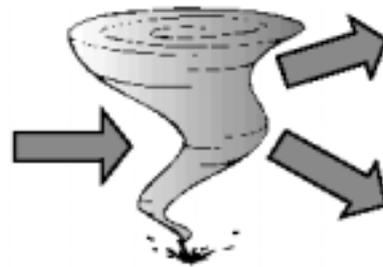
38



Tensilica Xtensa



Select processor options and describe new instructions in Web interface



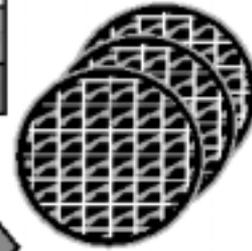
Using the Xtensa processor generator, create...



Tailored, HDL uP core

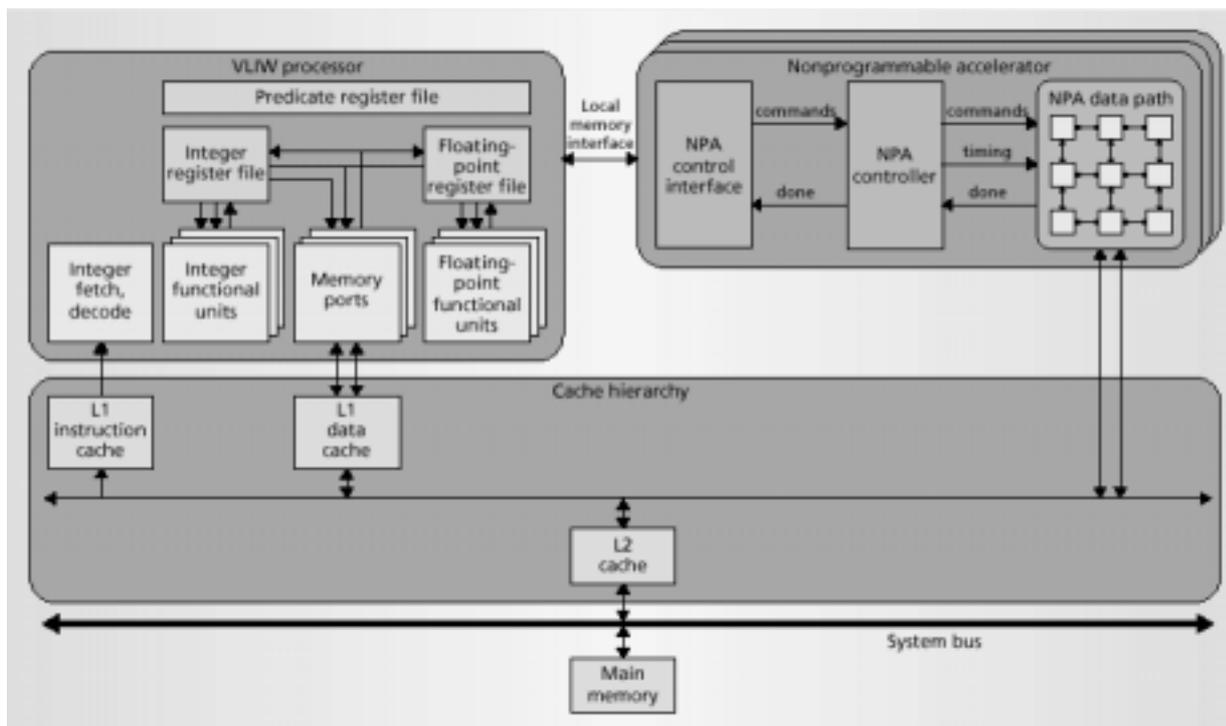


Customized Compiler, Assembler, Linker, Debugger, Simulator



Use standard library to target to the silicon

PICO





Types de Configuration

- Quantité, taille, etc.
 - taille du cache
- Options
 - e.g. Floating Point, MMU, DSP, ...
- Paramètres
 - e.g. vecteur d'adresses, mémoires, ...
- Spécifications technologiques
 - e.g. synthèse pour surface
 - Process, standard cell, etc.

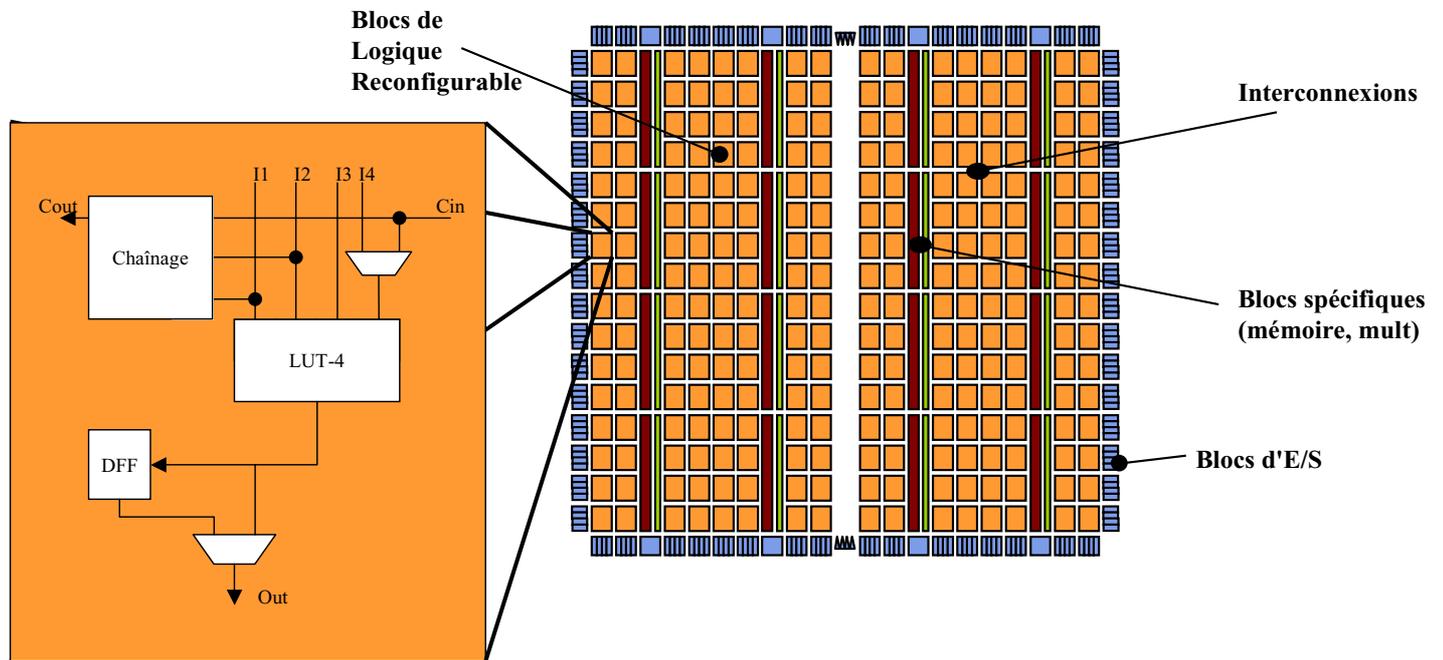
Plan

- Introduction
- "Reconfigurable Computing"
- Architectures configurables
- Architectures reconfigurables
 - Reconfiguration niveau porte
 - Reconfiguration niveau fonctionnel
- Conclusions





Architecture générique

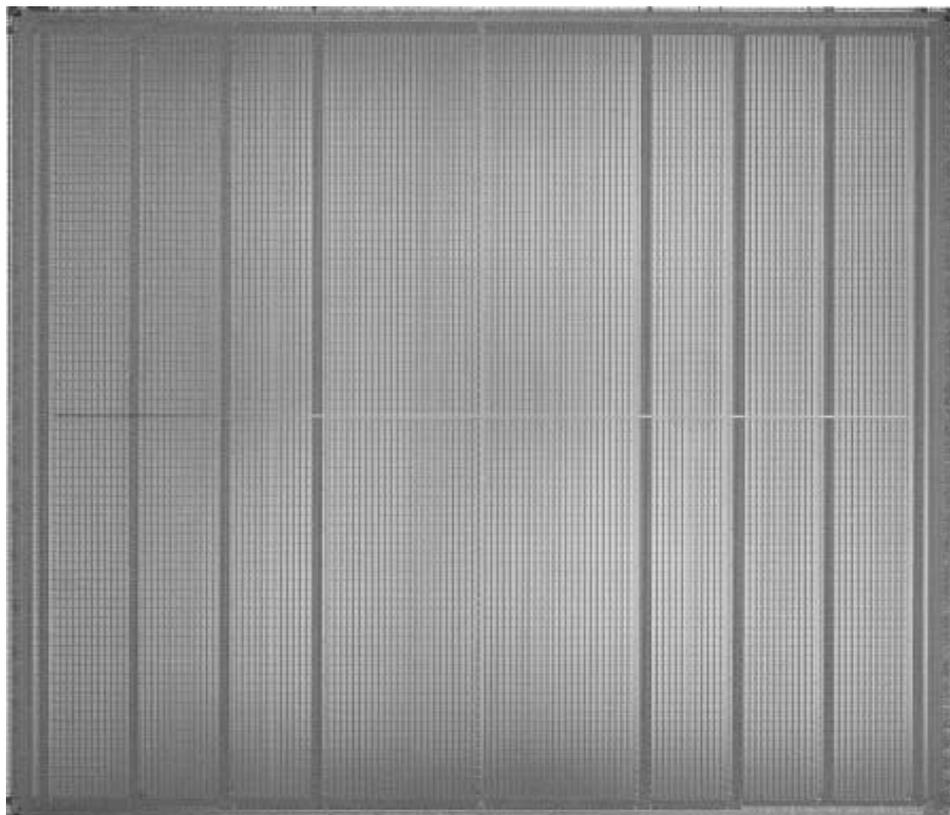


29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

43

VIRTEX Die



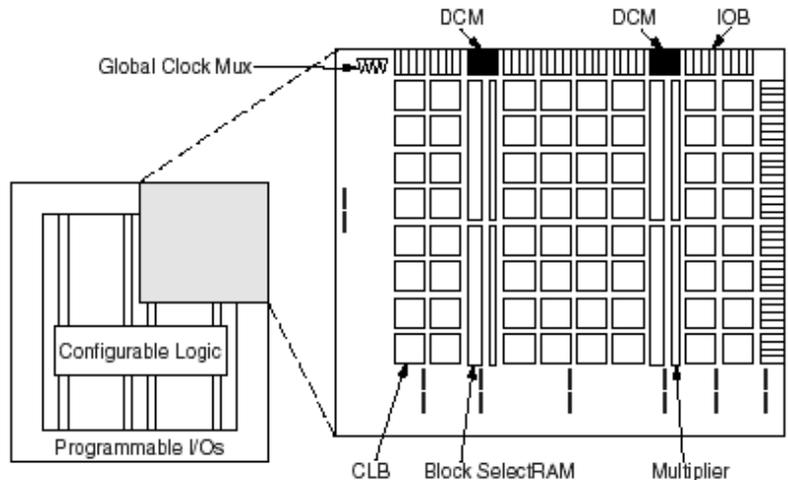
29/04/2003

44



Famille VIRTEX II

- Nouveau design du CLB
- Bancs mémoire de plus grande taille
- Multiplieurs intégrés (18x18 bits)
- Gestion des horloges par DCM (Digital Clock Manager)
- Capacité de routage améliorée (Active Interconnect Technology)



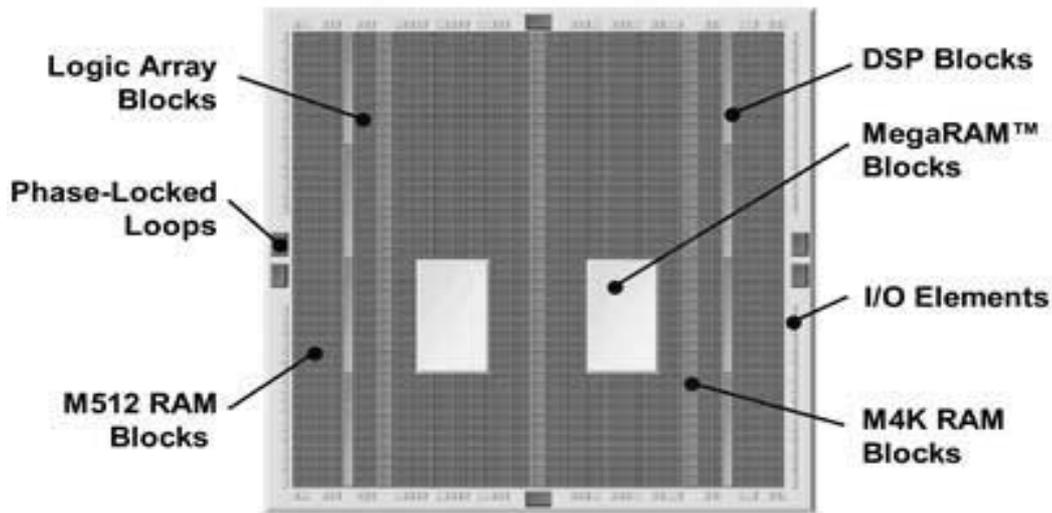
Famille VIRTEX II



Device	XC2V1000	XC2V2000	XC2V4000	XC2V8000
Gate	1M	2M	4M	8M
CLB	1280	2688	5760	11648
IOB	432	624	912	1108
SelectRAM (kbits)	720	1008	2160	3024
Prog. kbits	4082	7492	15660	29063
Conf. time at 66 MHz	7,73 ms	14,19 ms	29,66 ms	55,04 ms
Multiplier	40	56	120	168



Famille Stratix Altera



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS ARCHI'03

47

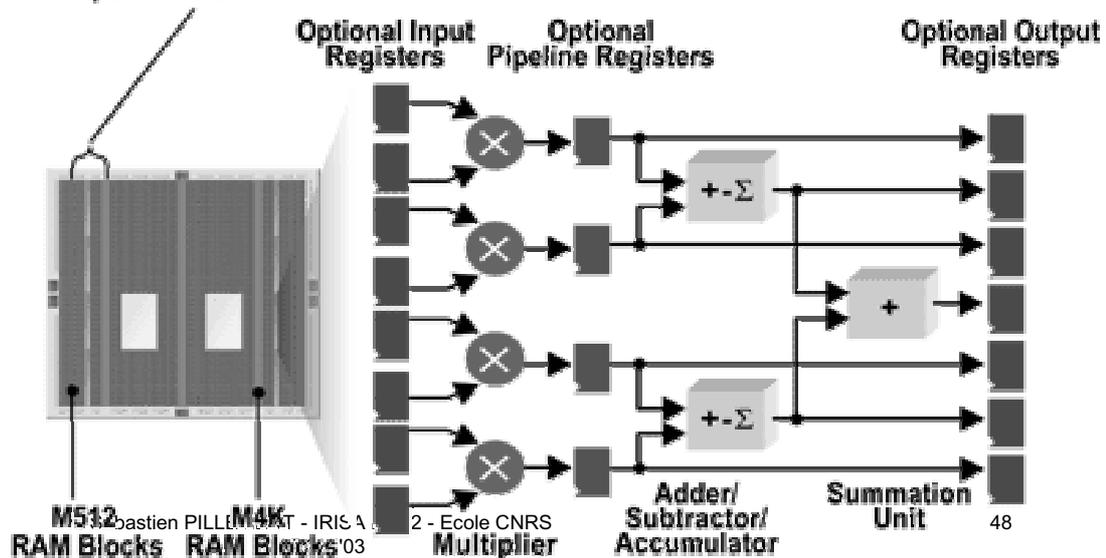
Stratix : blocs DSP



- Multiplieurs 9x9 – 18x18
- 2 GMAC/s par bloc
- $F = 250 \text{ MHz}$
- Utilisation

- Rake
- VoIP
- OFDM
- Multimédia

Memory & DSP Blocks Placed for Optimum Data Transfer



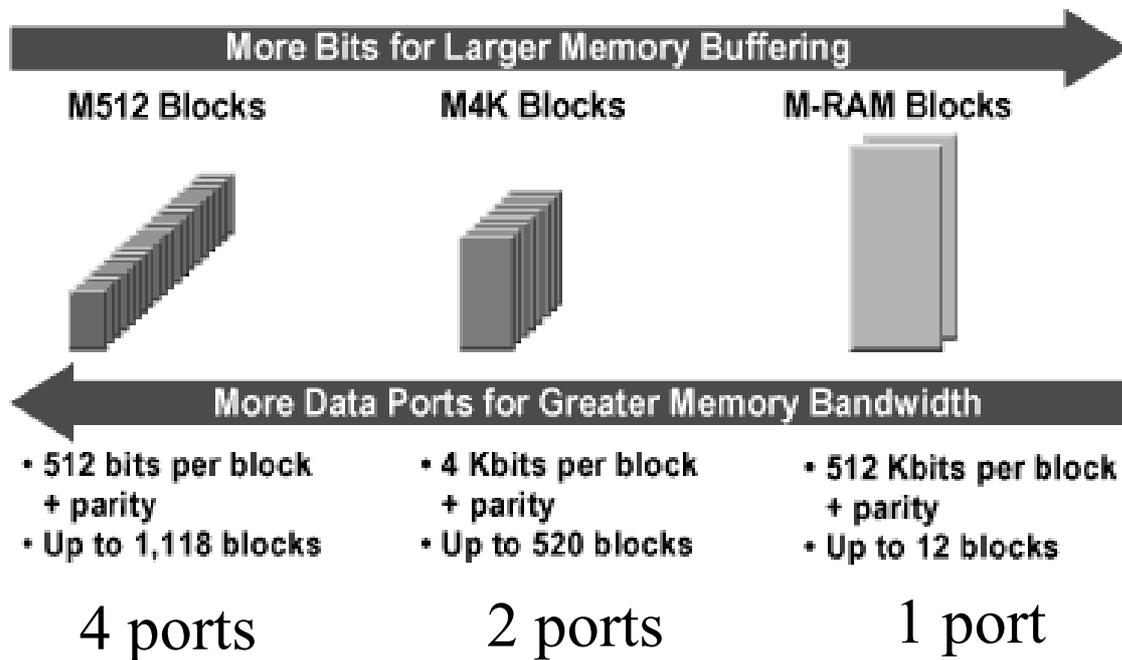
29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS ARCHI'03

48



Mémoires



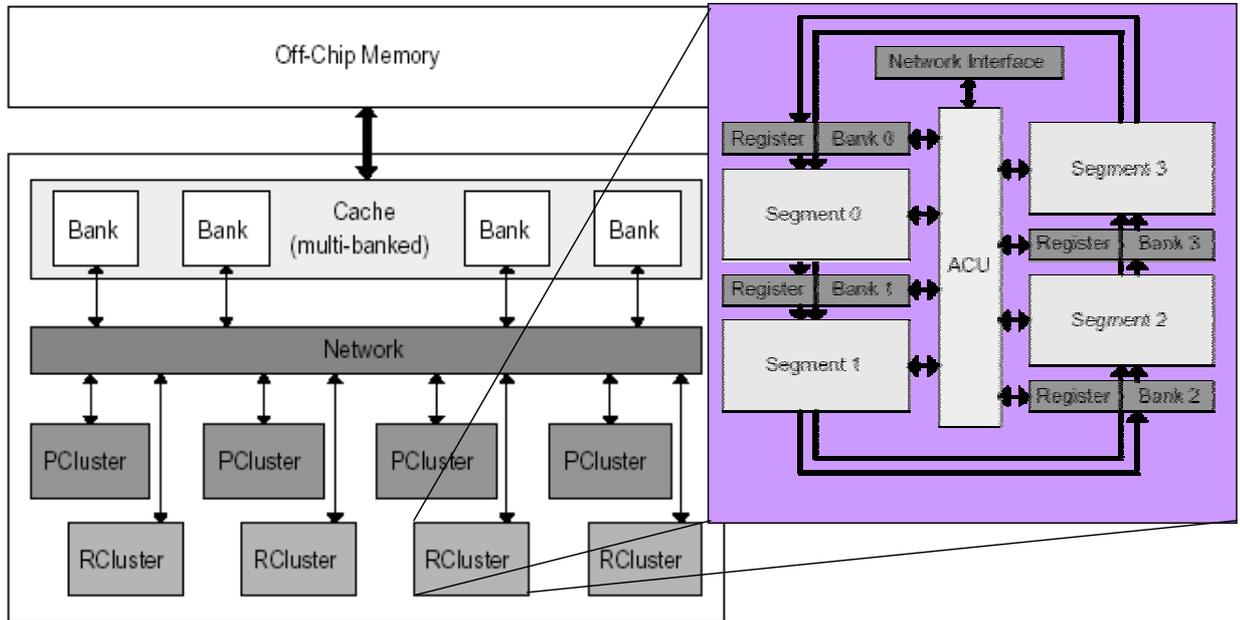
Stratix Altera



Feature	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80	EP1S120
Logic Elements (LEs)	10,570	18,460	25,660	32,470	41,250	57,120	79,040	114,140
Total RAM bits	920K	1,669K	1,944K	3,317K	3,423K	5,215K	7,427K	10,118K
DSP Blocks	6	10	10	12	14	18	22	28
Emb. Mult	48	80	80	96	112	144	176	224
PLLs	6	6	6	10	12	12	12	12



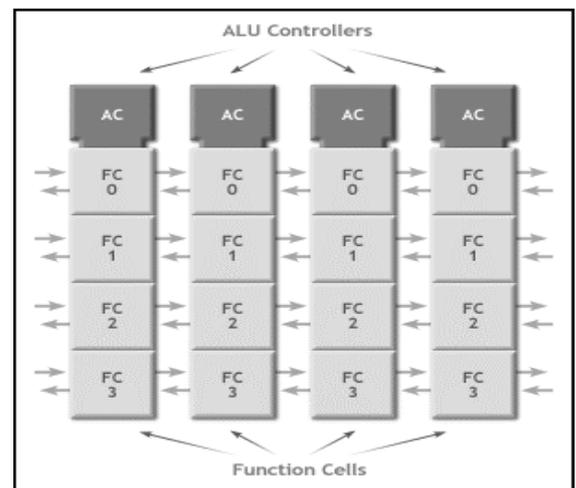
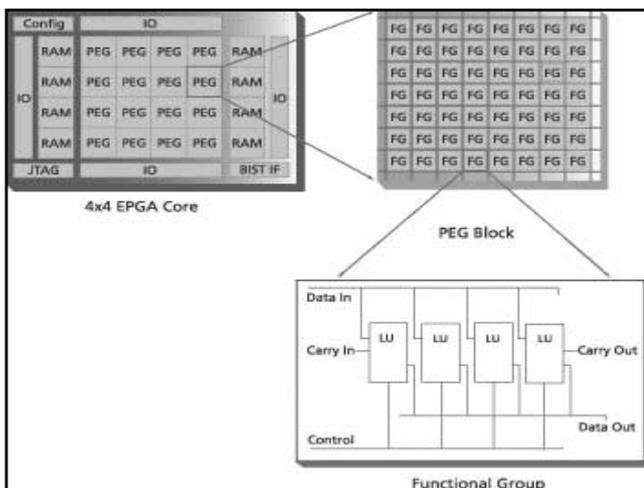
Amalgam (2002)



FPGA enfoui

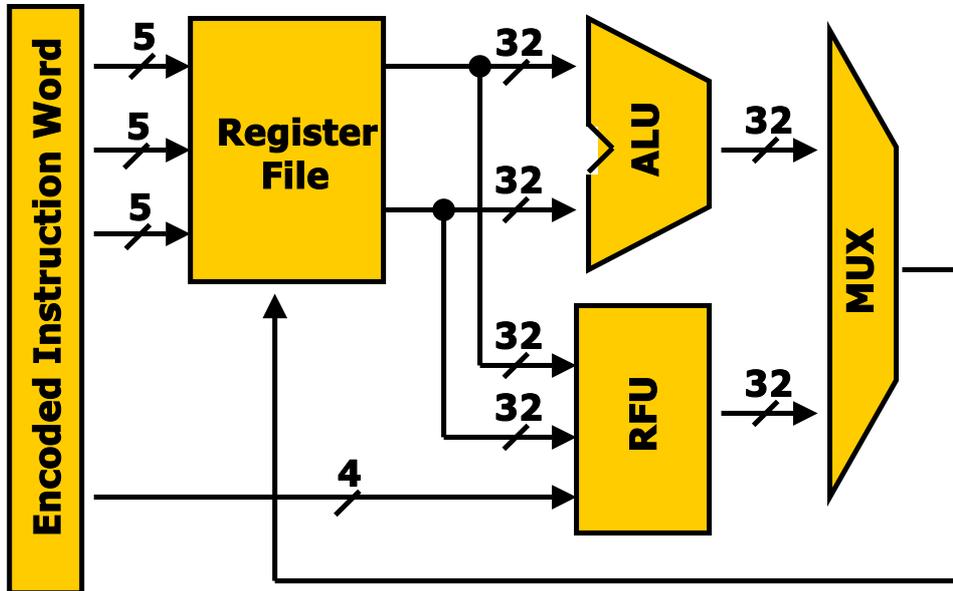


- Actel - VariCore
- Adaptive Silicon – Logic Core Quad Block





Philips CinCISe Architecture

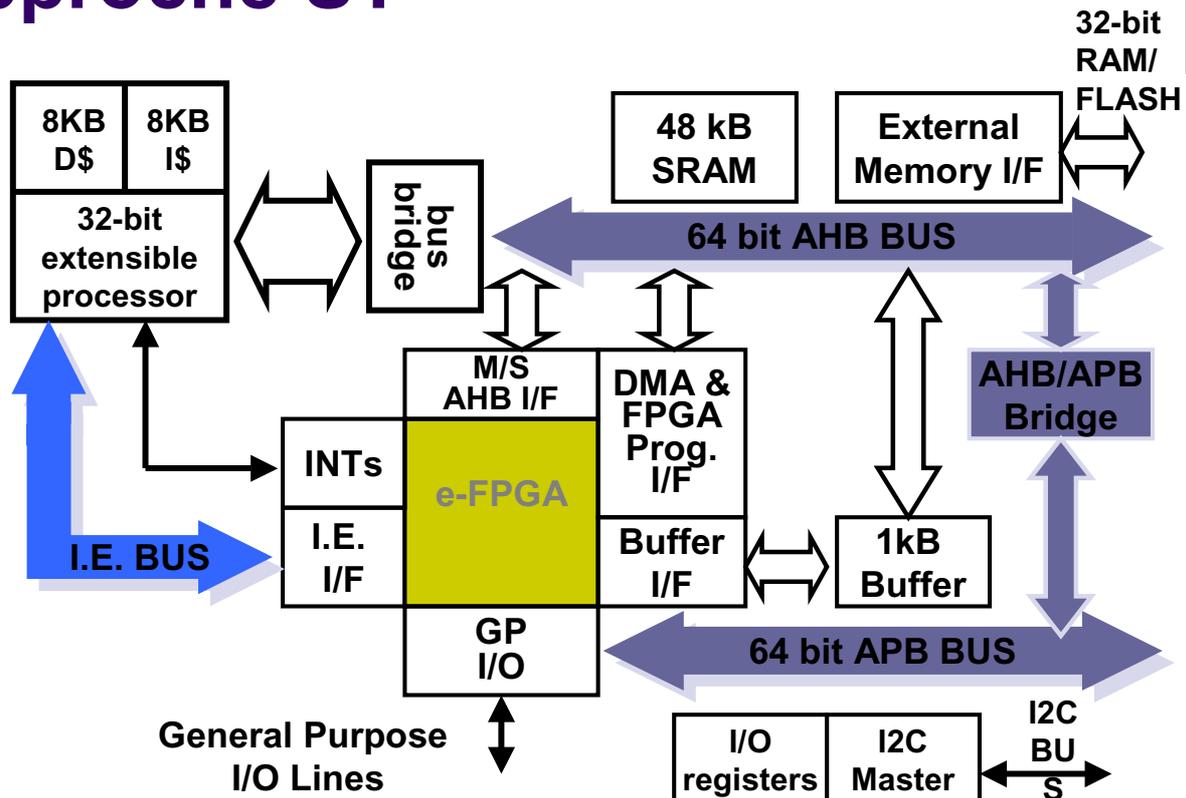


29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

53

Approche ST



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

54

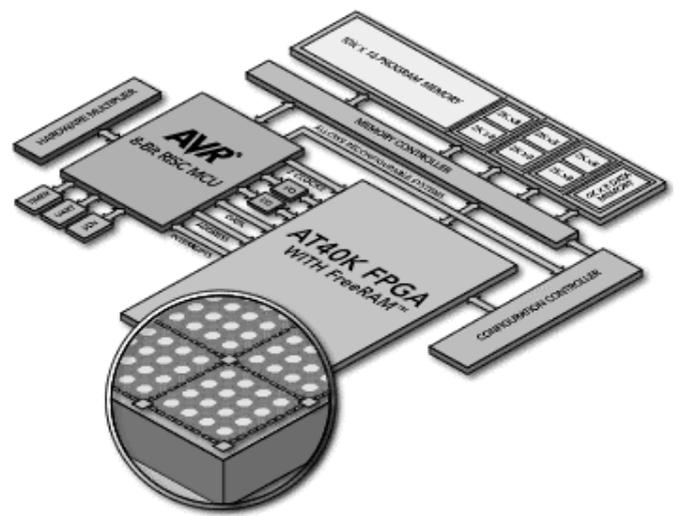
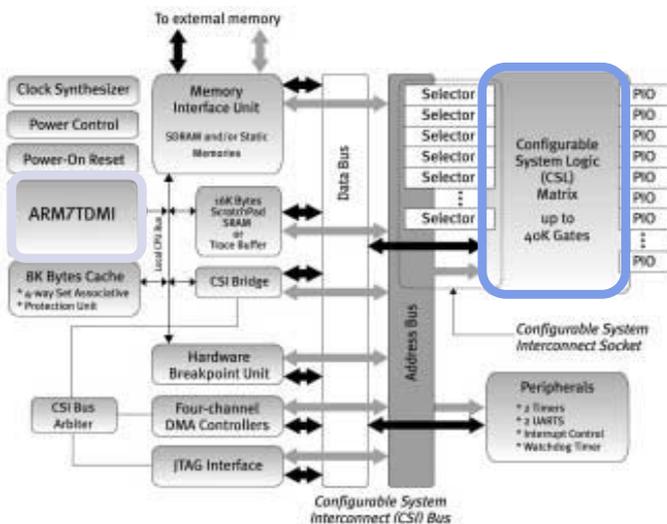


Chip Layout

Technology	0.18mm CMOS 6-ML	
SRAM Memory	Main: 48kB (64-bit) I\$: 8kB (64-bit) D\$: 8kB (64-bit) Buffers: 4x256B	
Chip size	5.5x5.5 mm ² (pad limited)	
Core size	20 mm ²	
e-FPGA size	8.2 mm ²	
I/O	24 inputs + 24 outputs (tristate) + 8 bidirs	
Power supply	2.7-3.6V (external), 1.8V(core, internally regulated)	

Mais encore

- A7 de Triscend, PREPOR de ST...
- FPSLIC Atmel, SOPC (Excalibur)...





Mais encore....

- PERLE
- DPGA
- GARP
- Morphosys
- PiPerench
- CHESS
- HSRA
- NAPA
- ATMEL
- ACTEL
- QuickSilver
- m2000
- FIPSOC
- flexible array
- ARDOISE
- ...

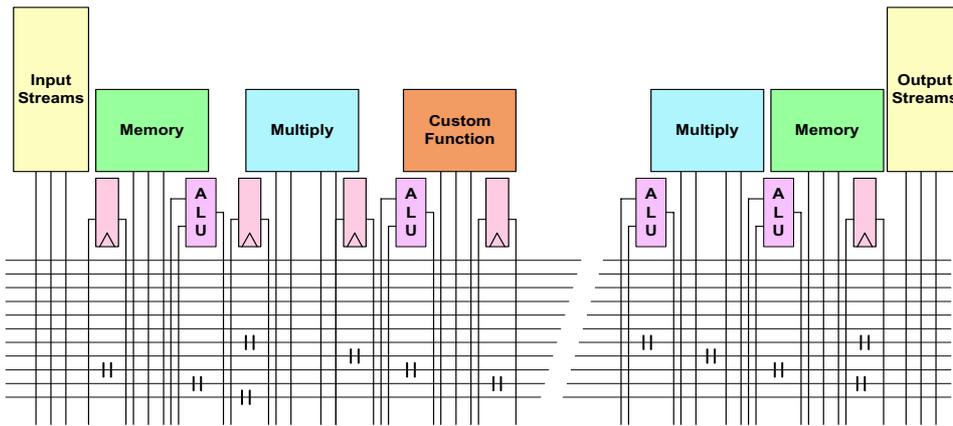
Plan

- Introduction
- "Reconfigurable Computing"
- Architectures configurables
- Architectures reconfigurables
 - Reconfiguration niveau porte
 - Reconfiguration niveau fonctionnel
- Conclusions





RaPiD



- Plate-Forme reconfigurable
- Tableau linéaire d'UFs
- Reconfiguration statique + contrôle dynamique:
 - Reconfiguration statique pour spécifier la structure du pipeline
 - Contrôle dynamique pour séquencer les opérations

29/04/2003

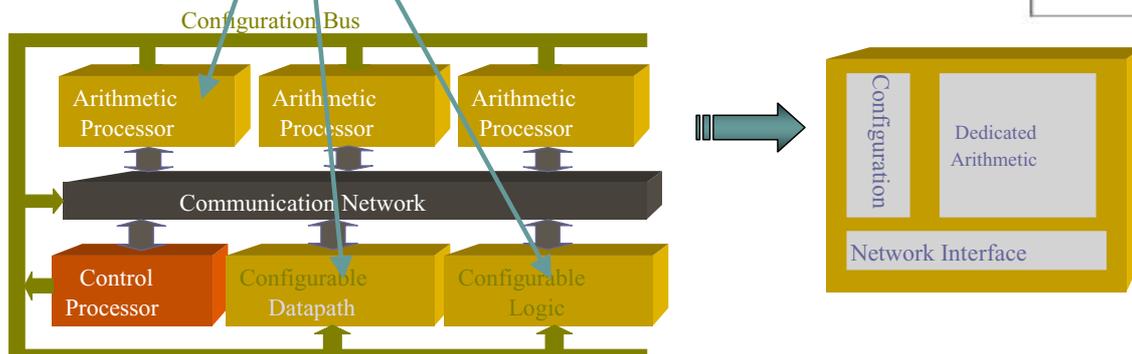
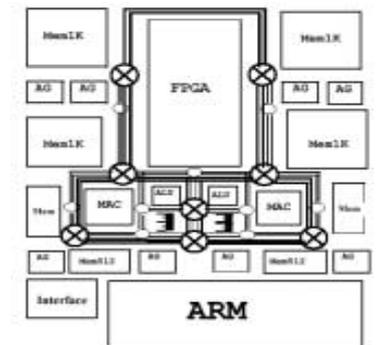
Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

59

Pleiades

- Plateforme reconfigurable
 - Plusieurs niveaux de reconfiguration
- *Low-Power*

MAIA (speech coding)



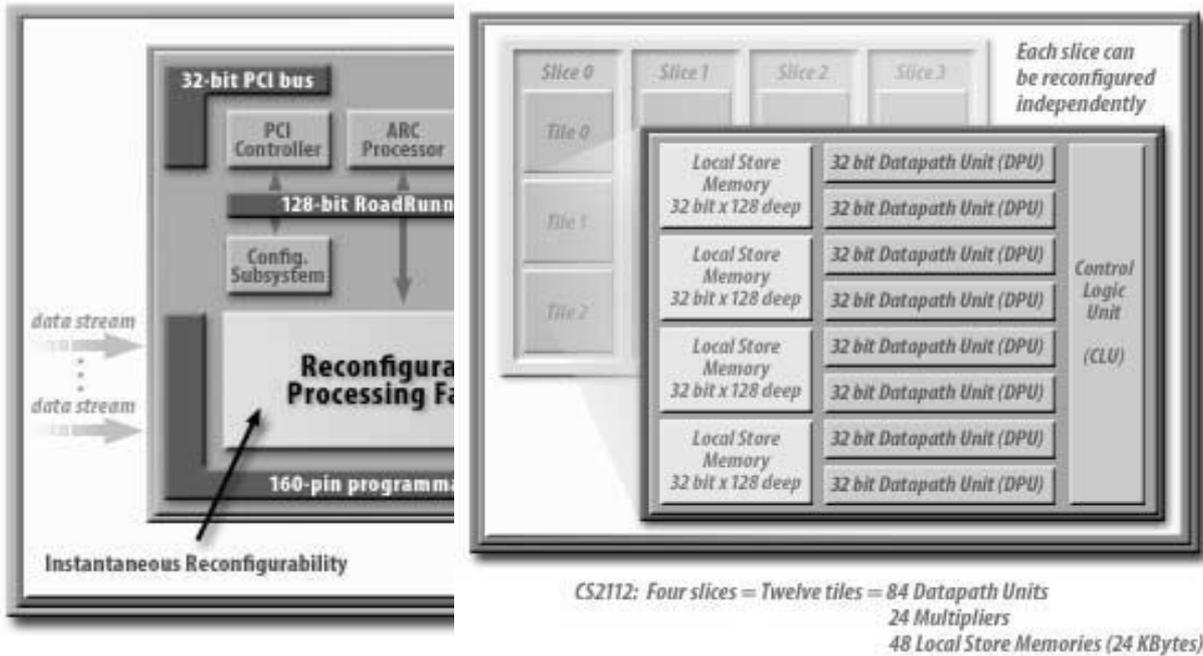
29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

60



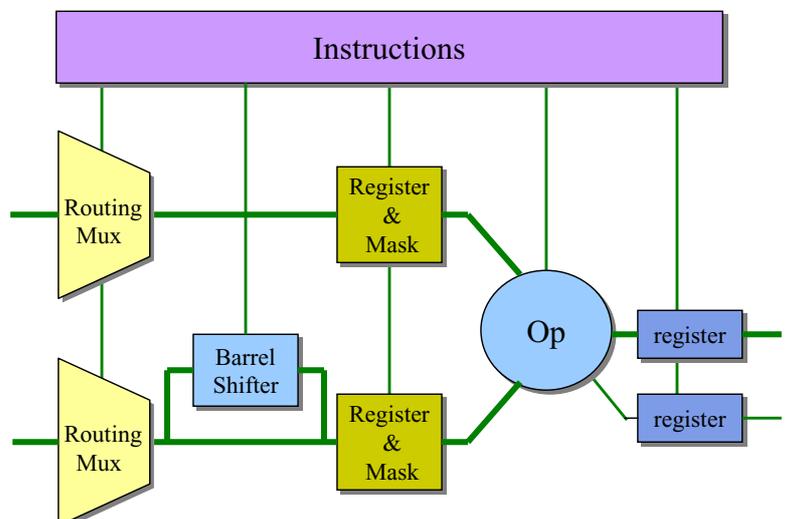
Chameleon Systems Inc.



Chameleon Systems Inc.



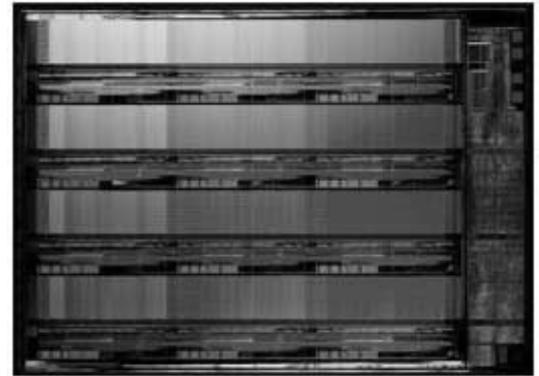
- Chemin de données
 - chaque DPU a une mémoire de config. de 8 instructions.
 - Mux offre tous les routages
 - 1 cycle local/intra-slice
 - 2 cycles inter-slice
 - Canal DMA communique avec le RISC via mémoire locale





Chameleon Systems Inc.

- Architecture reconfigurable dynamiquement
 - reconfiguration partielle du circuit
 - reconfiguration en 1 cycle
 - multi-contextes



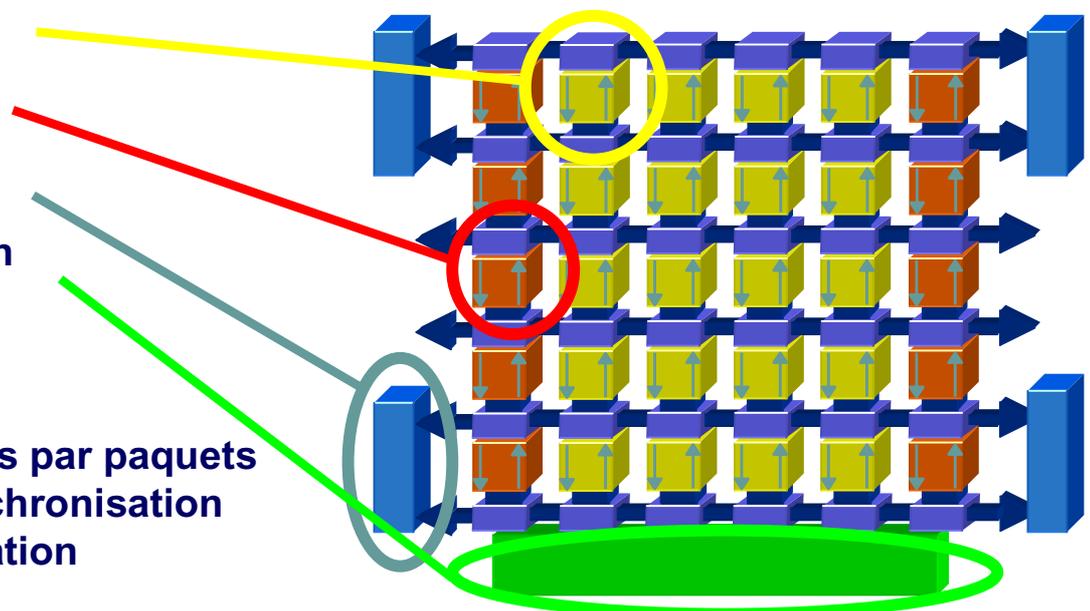
- CS2112 : 0.25u, 24 GOPS, 3 GMACS, **10W!**

PACT XPP (eXtrem Processor Platform)



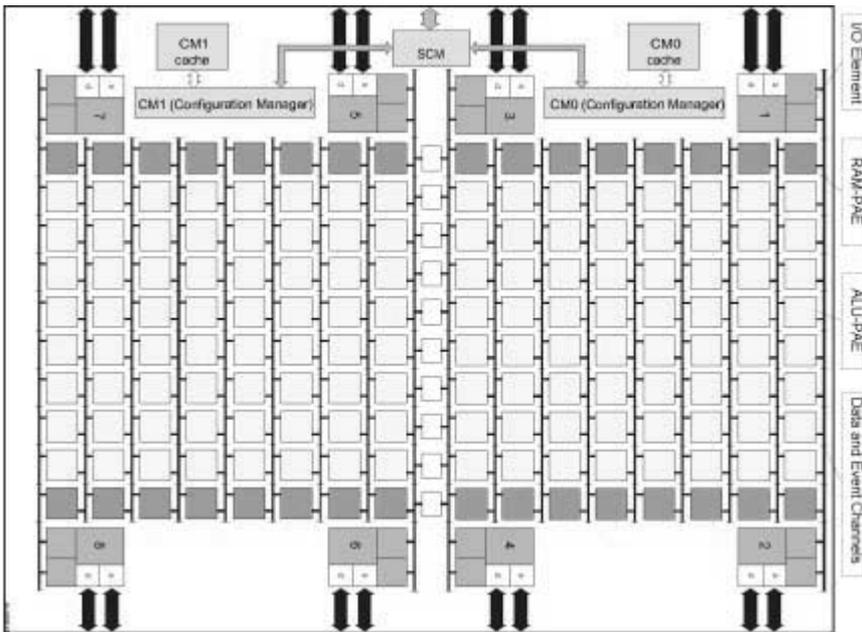
- ALU - PAE
- RAM - PAE
- I/O-Element
- Configuration Manager

Communications par paquets
signaux de synchronisation
Autoreconfiguration



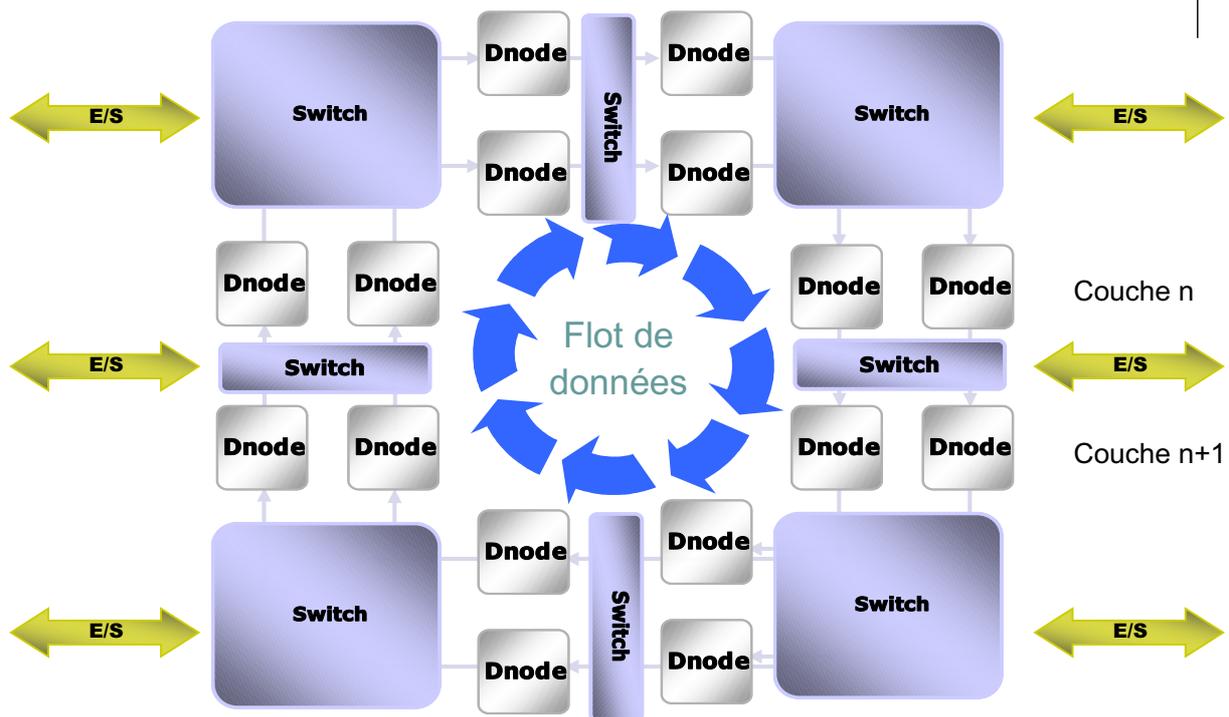


PACT XPP



128 CFB @100 MHz ...
12.8 GMACs/s (32 bits fixed point)

Le Systolic Ring



Le Systolic Ring : Architecture du Dnode

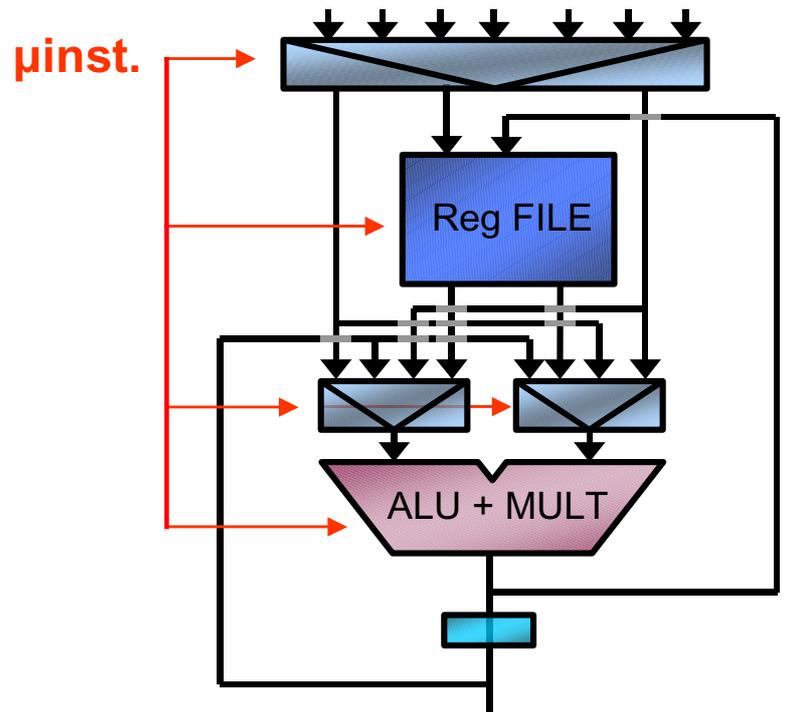
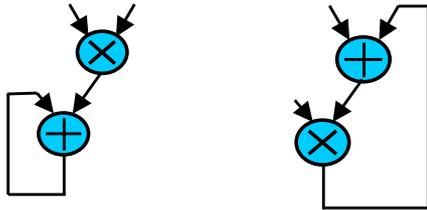


Constitution

- Chemin de données optimisé (16 bits)
- Banque de registres 4x16 bits
- ALU et multiplieur 16x16 câblés

Spécificités

- Tout le jeu d'instructions en un unique cycle
- Multiplieur et additionneur fusionnables (unité MAC)

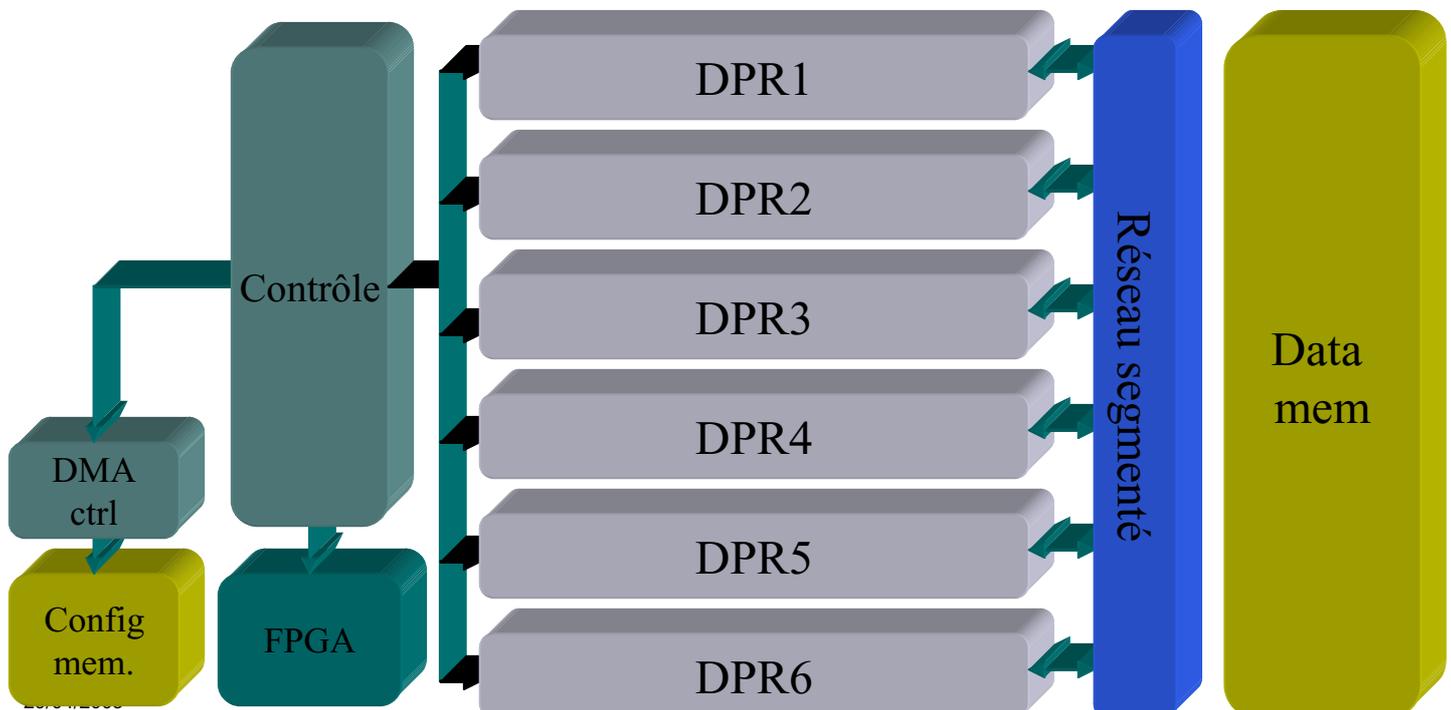


29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

67

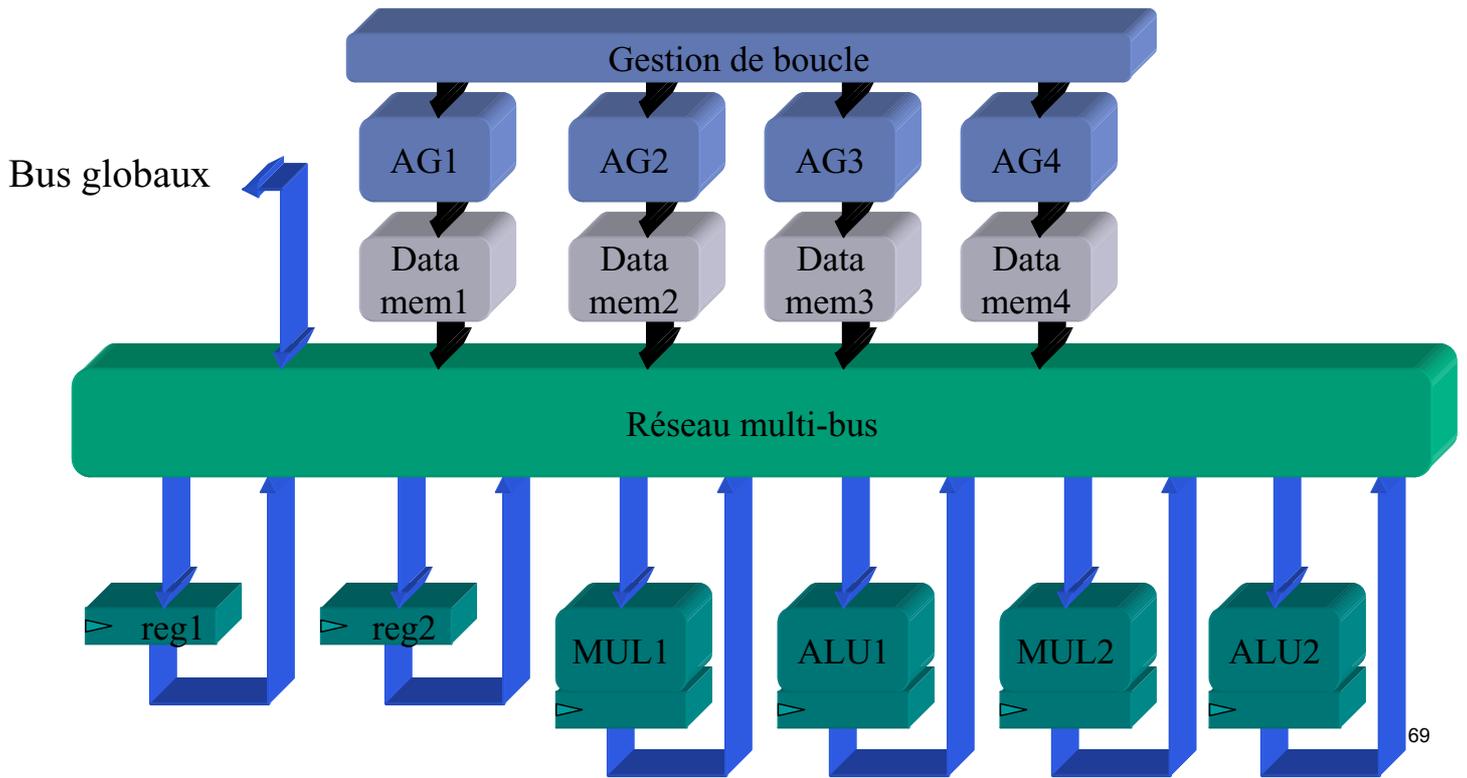
DART



ARCHI'03



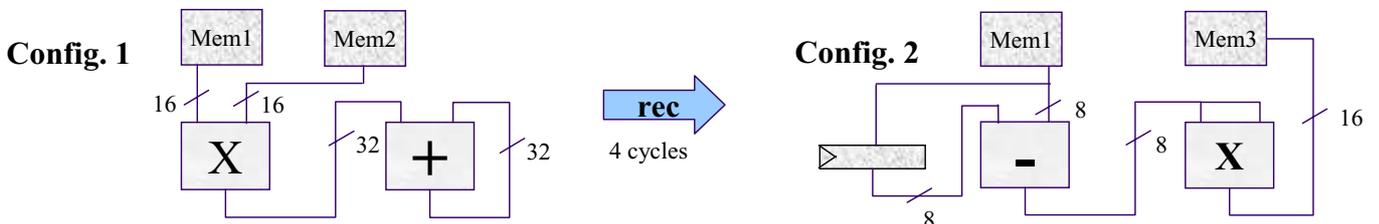
DART: Architecture des DPRs



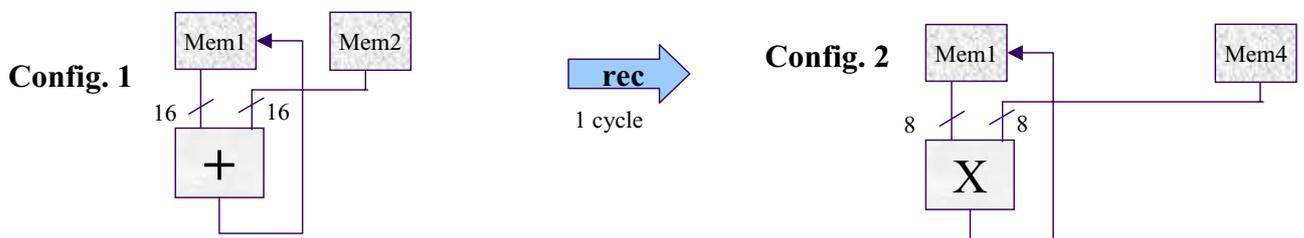
Reconfiguration HW vs Reconfiguration SW



- Rec. HW pour optimisation du chemin de données :



- Rec. SW pour une reconfiguration à chaque cycle :





Mais encore....

- PADDI I & II
- KressArray
- Colt
- MatriX
- RAW
- REMARC
- D-FABRIX
- QuickSilver
- DReAM
- FPFA
- MECA
- CALISTO
- flexible array
- ...

Plan

- Introduction
- "Reconfigurable Computing"
- Architectures configurables
- Architectures reconfigurables
 - Reconfiguration niveau porte
 - Reconfiguration niveau fonctionnel
- **Conclusions**





Conclusions

- "Reconfigurable Computing" est un nouveau paradigme intéressant
- Architectures et composants actuels
- Nouveaux domaines d'applications
 - RL, NP, Bioinfo, Crypto, ...



Conclusions

- Conception
 - Choix et Grain des éléments de calcul
 - Choix et Grain du réseau d'interconnexion
 - Temps et taux de (Re)configuration
 - Fabrication --> composants à fonctions fixes
 - "Vente" --> FPGAs Actel/Quicklogic
 - Début d'utilisation --> FPGAs (Re)configurables
 - Chaque cycle --> Processeurs classiques
- Outils ?



Conclusions



“Femme se coiffant”
Pablo Picasso
1940

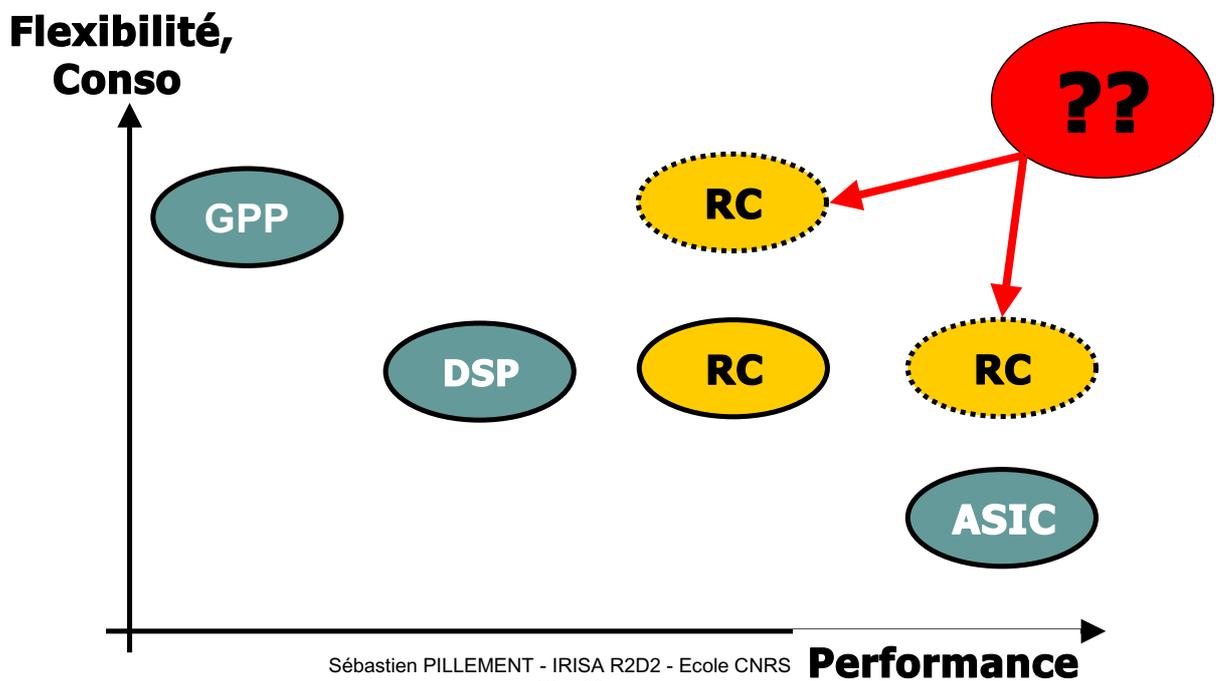
29/04/2003

R2D2 - Ecole CNRS

75

Conclusions

- Quel Futur ??



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS
ARCHI'03

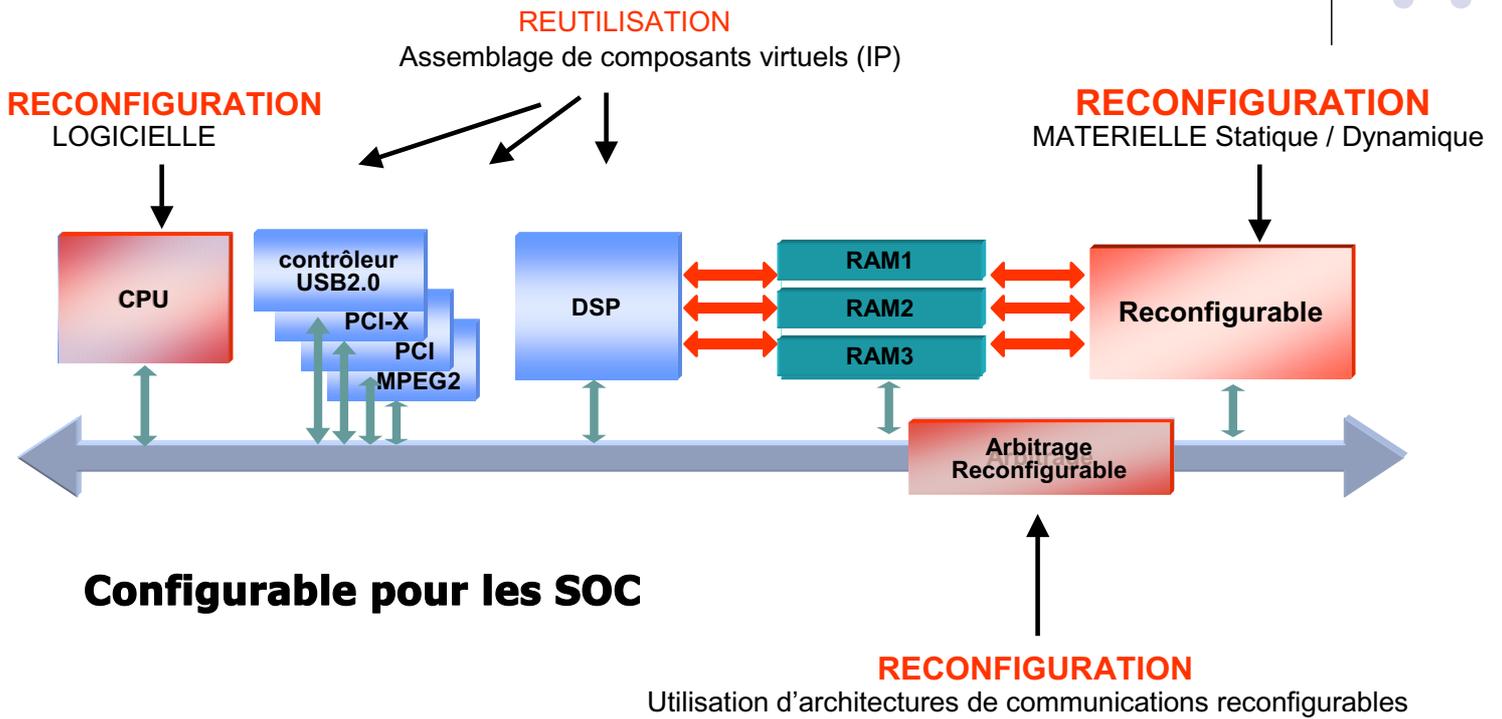
Performance

76

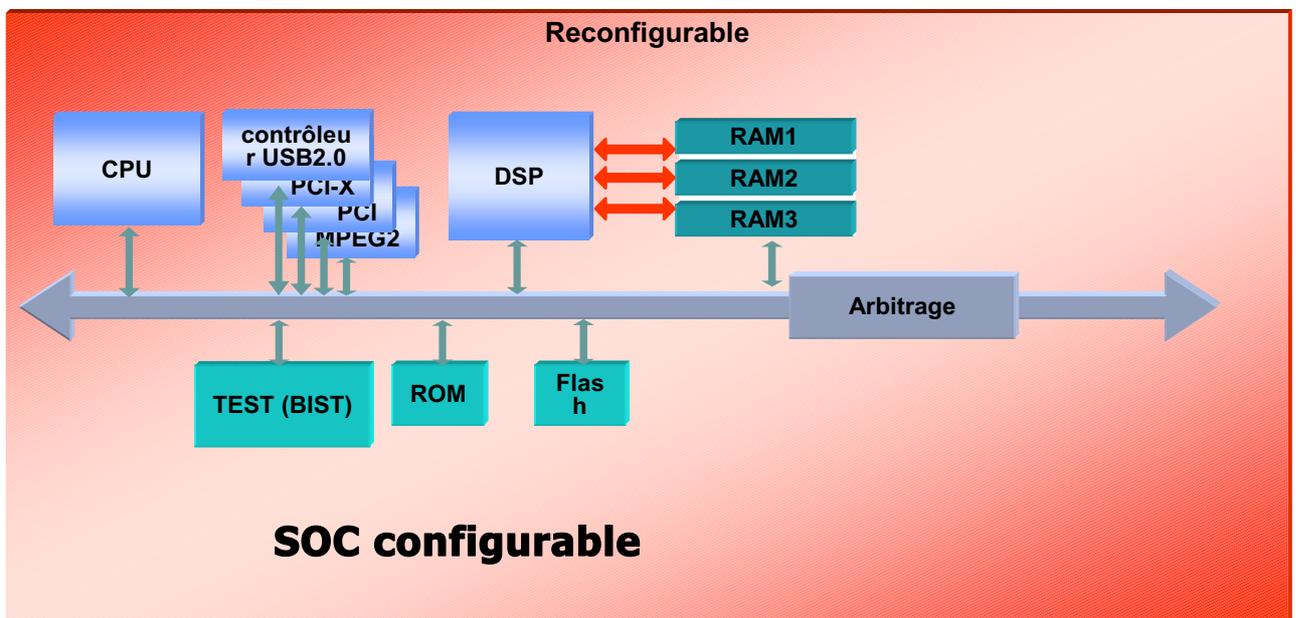




Conception orientée plateformes



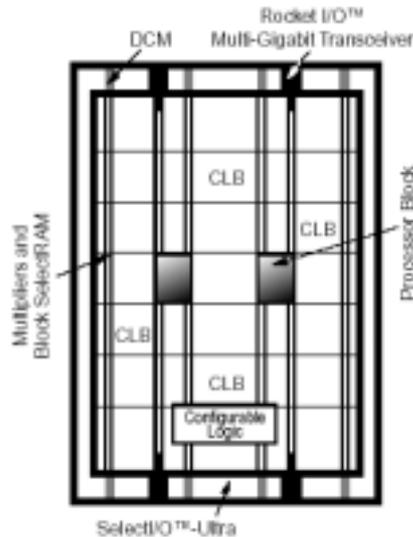
Conception orientée plateformes



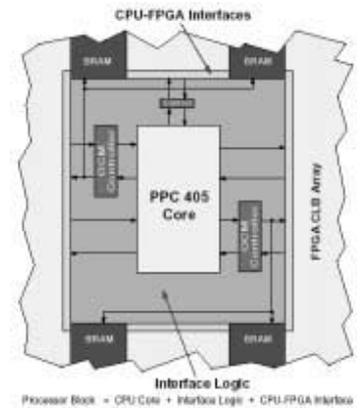
Famille VIRTEX II Pro



- Jusqu'à 4 blocs processeurs IBM PowerPC 405.
- Fréquence de travail jusqu'à 300MHz.
- Cœurs Rocket I/O Multi-Gigaset Tranceiver (transformation des données série-parallèle)



Architecture des Virtex II Pro



Bloc processeur des Virtex II Pro



29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS ARCHI'03

Reconfigurable roadmap



- Architecture
 - FPGA (grain fin) mais reconfiguration au niveau tâche (grain épais)
 - architectures grain épais (Chameleon, PACT, Quicksilver,...)
 - Plateforme FPGA (Virtex-II PRO)
 - ISP + reconfigurable (Tuile)
- Interconnexion
 - 1-D torus, wormhole routing
 - Topologies réseaux
 - Protocole routage
 - Surface vs. Performance (BP, latence)
 - Best-effort vs. Service garanti
 - Taille des tuiles vs. Granularité des tâches

29/04/2003

Sébastien PILLEMENT - IRISA R2D2 - Ecole CNRS ARCHI'03

80



Reconfigurable roadmap

- RTOS
 - indépendance plateforme (VII-PRO)
 - Algorithmes pour ordonnancement HW / SW
 - support matériel pour OS
 - Mécanisme de chargement du Hw
 - Gestion mémoire
 - RTOS pour architectures multiprocesseurs hétérogènes
- Modèle & mapping
 - Introduction de points de reprise pour migration de tâches HW/SW
 - Modèles des plateformes et estimation de performances
 - ->Management de la concurrence des tâches
 - Outils
- Consommation

Conclusions

- Challenges de la Reconfiguration Dynamique
 - Partitionnement
 - Ordonnancement de Contextes
- Latence de la Reconfiguration
 - Configuration Pre-fetching
 - Configuration Caching
 - Configuration Compression
- Consommation

